

ETUDE DES CARACTERISTIQUES TECHNIQUES ET ECONOMIQUES
DES FILIERES D'INTERCONNEXIONS
DES COMPOSANTS ELECTRONIQUES
DANS LES SYSTEMES

INTERCONNEXION PUCE-BOITIER:
FLIP CHIP

SOMMAIRE

I. INTRODUCTION.....	4
II. PROPRIETES ELECTRIQUES DES PROTUBERANCES	5
II.A. DESCRIPTION.....	5
II.B. PERFORMANCES ÉLECTRIQUES	6
III. PERFORMANCE MECANIQUE.....	7
III.A. CONNEXIONS I/O EN RÉSEAU SUR TOUTE LA SURFACE DE LA PUCE	7
III.B. CONNEXIONS I/O EN RÉSEAU SUR UNE SURFACE PARTIELLE DE LA PUCE.....	8
III.C. CONNEXIONS I/O SUR LA PÉRIPHÉRIE DE LA PUCE.....	8
III.D. DENSITÉ D'INTERCONNEXION ET EFFICACITÉ	9
IV. ASPECT THERMIQUE.....	10
IV.A. RÉSISTANCE THERMIQUE D'UNE BOULE DE SOUDURE	10
IV.A.1. 1 ^{ère} Méthode.....	10
IV.A.2. 2 ^{nde} Méthode	10
IV.A.3. 3 ^{ème} méthode.....	10
IV.B. RÉSISTANCE THERMIQUE DE L'INTERCONNEXION PUCE-BOÎTIER.....	11
IV.C. CAS PARTICULIER: PROTUBÉRANCE + ADHÉSIF CONDUCTEUR OU ANISOTROPE.....	12
IV.D. STRESS THERMIQUE	13
V. CONCLUSION	15
VI. BIBLIOGRAPHIE.....	16
VII. ANNEXE	17

TABLE DES ILLUSTRATIONS

FIGURE I-1: EXEMPLE: FLIP CHIP TBGA.....	4
FIGURE I-2: EXEMPLE: FLIP CHIP SUR MCM.....	4
FIGURE II-1: TECHNOLOGIE C4: BOULES DE SOUDURE	5
FIGURE II-2: MONTAGES FLIP CHIP UTILISANT DES SUBSTANCES ADHÉSIVES.	5
FIGURE III-1: DISPOSITION DES BOULES DE SOUDURE SUR LA PUCE (GRID ARRAY).	7
FIGURE III-2: DISPOSITION DES BOULES DE SOUDURE SUR UNE SURFACE PARTIELLE DE LA PUCE.	8
FIGURE III-3: DISPOSITION DES BOULES DE SOUDURE EN PÉRIPHÉRIE DE LA PUCE.....	8
FIGURE IV-1: MODÉLISATION THERMIQUE D'UNE CONFIGURATION FLIP CHIP.....	11
FIGURE IV-2: EXEMPLE DE MODÉLISATION THERMIQUE D'UNE PUCE MONTÉE EN FLIP CHIP.	12
FIGURE IV-3: SCHÉMATISATION D'UNE CONNEXION PAR COLLAGE.....	12
FIGURE IV-4: STRESS THERMIQUE SUR LES SOUDURES.	13
FIGURE IV-5: EMPILAGE DE PROTUBÉRANCES.	14
FIGURE V-1: INTERCONNEXION D'UNE PUCE SUR SON SUPPORT: FLIP CHIP.....	15

I. INTRODUCTION

Cette technologie introduite par IBM où elle est appelée C4 (*Control Collapse Chip Connection*) résulte d'un choix de construction de packaging où les interconnexions sont sous forme matricielle tout au long de la chaîne d'interconnexion. Les circuits intégrés reçoivent une préparation spécifique des plots de sortie sous forme de bille d'alliage Plomb-étain (Cf. figure II.1) qui réalisera la liaison électrique et mécanique avec le niveau de packaging suivant. La principale caractéristique de ce mode d'assemblage est qu'il permet un plus grand nombre de connexions, pour une puce de taille donnée, que les sorties périphériques traditionnelles.

Néanmoins, cette technique peut devenir critique lorsque l'adaptation des coefficients de dilatation thermique n'est pas très bonne (ou dans le cas de dissipations thermiques importantes) dans le silicium; en effet, des contraintes mécaniques importantes peuvent être générées à l'interface des soudures: La fatigue plastique des billes de soudures situées vers l'extérieur de la puce (zones où les contraintes sont les plus élevées) entraînent des problèmes de fiabilité en cyclage thermique. Pour restreindre ce type de problème, des résines sont souvent injectées entre la puce et son support.

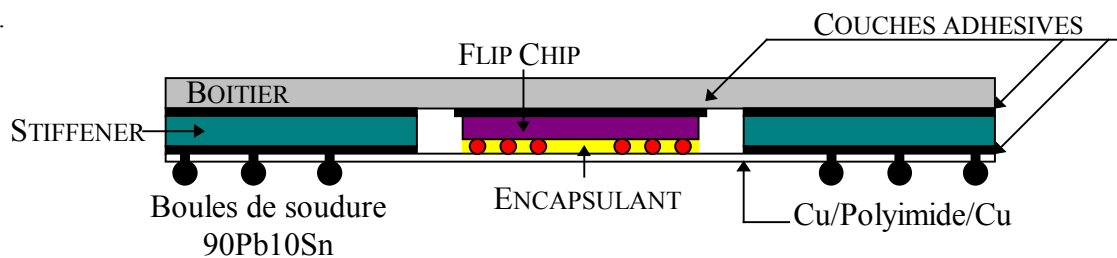


Figure I-1: Exemple: Flip Chip TBGA.

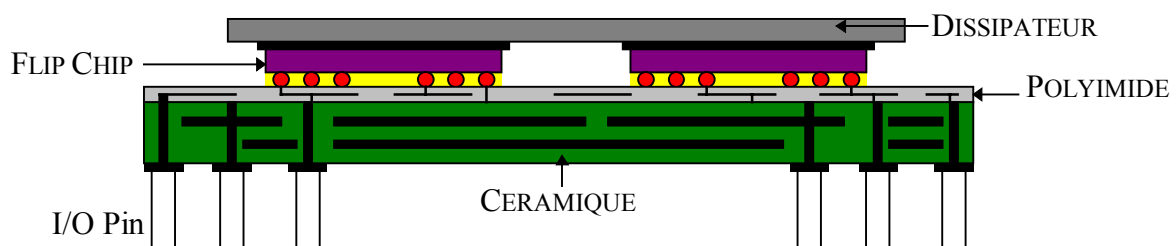


Figure I-2: Exemple: Flip Chip sur MCM.

II. PROPRIETES ELECTRIQUES DES PROTUBERANCES

II.A. DESCRIPTION

L'assemblage d'un circuit intégré sur son support, dans la configuration Flip Chip, peut s'effectuer par soudure ou par collage. Dans le premier cas, des protubérances de soudure (boules ou colonnes) sont disposées sur la puce, et permettent de créer un lien mécanique et électrique avec le support (Cf. figure II.1). Dans le second cas, c'est une substance adhésive qui provoque la jonction des deux corps (Cf. figure II.2); trois types d'adhésif sont à distinguer: Conducteur, isolant et isotrope (c'est à dire que la conduction électrique s'effectue uniquement selon une direction précise).



Figure II-1: Technologie C4: Boules de soudure .

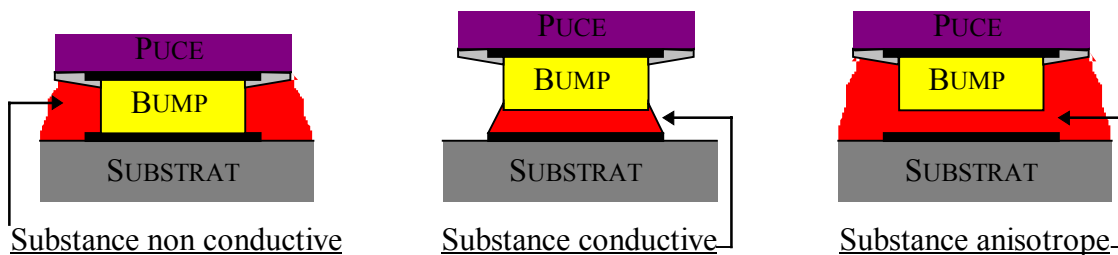


Figure II-2: Montages Flip Chip utilisant des substances adhésives.

Un certain nombre d'inconvénients sont toutefois relatifs à ce procédé (flip chip):

- La puce est fixée face en bas, ce qui rend impossible le contrôle,
- Le contrôle des protubérances après report n'est pas non plus possible,
- Les protubérances sont soumises à toutes les dilatations différentielles (Substrat / Puce),
- La transmission thermique est limitée par la résistance thermique des boules,
- un excellent alignement des protubérances est nécessaire,
- le pré-test de la pastille n'est pas réalisable,
- généralement, un *design* spécifique des aires d'accueil de la puce est nécessaire.

Malgré ces inconvénients, ce type d'assemblage possède un avenir prometteur, car il favorise la miniaturisation des packages.

II.B. PERFORMANCES ELECTRIQUES

La hauteur des protubérances pour l'interconnexion puce-boîtier s'étend (approximativement) de 50 μ m à 200 μ m. Celles utilisées en BGA (interconnexion du boîtier) possèdent une hauteur de 0.5 mm ou plus. Le tableau suivant donne quelques ordres de grandeurs des longueurs d'onde associées à différentes fréquences:

FREQUENCE	100 MHz	1 GHz	10 GHz	100 GHz
λ_0 (vide) (mm)	3000	300	30	3
λ ($\epsilon_r \approx 10$) (mm)	≈ 1000	≈ 100	≈ 10	≈ 1
d_{critique} (mm)	≈ 100	≈ 10	≈ 1	≈ 0.1

Les dimensions des connexions restent très faibles devant la longueur critique d_{critique} (grandeur pour laquelle il est nécessaire d'utiliser la théorie des lignes de transmission pour caractériser électriquement les interconnexions). En effet, comme le montre le tableau précédent, même pour des fréquences très élevées, la longueur d'onde des signaux reste nettement supérieure à la hauteur des protubérances. C'est pourquoi, ces interconnexions peuvent être considérées comme « idéales », du point de vue électrique, c'est à dire:

$$Z_0 \ll 1\Omega.$$

$$t_p \ll 1s.$$

$$\alpha \ll 1.$$

Pour des technologies BGA, il est nécessaire de prendre des précautions. Les hauteurs des protubérances sont plus importantes. Pour des fréquences élevées, il est possible que les approximations précédentes ne soient plus valables (Il faut assimiler les interconnexions à des lignes de transmission): Un retard de propagation et une impédance caractéristique non nuls, sont alors envisageables.

Voici quelques ordres de grandeurs sur les performances électriques des technologies C4 et *wire*.

	RESISTANCE (m Ω)	INDUCTANCE (nH)	CAPACITANCE (pF)
WIRE	90	2.58	0.02
C4	30	0.06	0.17

La technologie C4 réduit l'inductance des interconnexions (par rapport au câblage). Ceci est un avantage important, car le bruit de commutation est alors fortement affaibli.

III. PERFORMANCES MECANIQUES

III.A. CONNEXIONS I/O EN RESEAU SUR TOUTE LA SURFACE DE LA PUCE

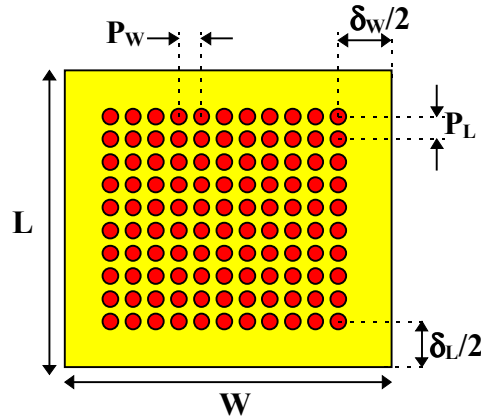


Figure III-1: Disposition des boules de soudure sur la puce (Grid Array).

Soient W et L , les dimensions caractéristiques du circuit intégré:

$$W = (n_w - 1) \cdot p_w + \delta_w$$

$$L = (n_L - 1) \cdot p_L + \delta_L$$

avec:

n_w : Nombre de I/O dans le sens de la largeur W .

n_L : Nombre de I/O dans le sens de la longueur L .

p_w : Pas d'interconnexion sur W .

p_L : Pas d'interconnexion sur L .

δ_w : distance inutilisée sur W .

δ_L : distance inutilisée sur L .

Le nombre N de connexions I/O vérifie:

$$N = n_w \cdot n_L$$

Dans le cas où le circuit intégré est symétrique, c'est à dire $L = W$, n_L et n_w peuvent s'exprimer de la façon suivante:

$$n_L = \frac{(p_L - p_w + \delta_w - \delta_L)}{2 \cdot p_L} + \frac{1}{2} \sqrt{\left(\frac{p_L - p_w + \delta_w - \delta_L}{p_L} \right)^2 + 4N \frac{p_w}{p_L}}$$

$$n_w = \frac{N}{n_L}$$

Rq: Dans le cas où en plus, $p_L = p_w = p$ et $\delta_L = \delta_w = \delta$ alors:

$$n_w = n_L = \sqrt{N}$$

III.B. CONNEXIONS I/O EN RESEAU SUR UNE SURFACE PARTIELLE DE LA PUCE

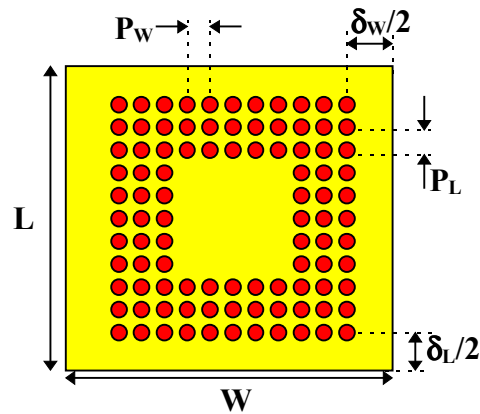


Figure III-2: Disposition des boules de soudure sur une surface partielle de la puce ($K=3$).

Soit K , le nombre de rangées de connexion I/O, présentes sous la puce. Le nombre total de protubérances N s'écrit:

$$N = 2 \left[\sum_{k=0}^{K-1} (n_w - 2 \cdot k - 1) \right] + 2 \left[\sum_{k=0}^{K-1} (n_L - 2 \cdot k - 1) \right] = 2 \left[K \cdot (n_w + n_L - 2) - 4 \sum_{k=0}^{K-1} k \right]$$

avec toujours:

$$W = (n_w - 1) \cdot p_w + \delta_w$$

$$L = (n_L - 1) \cdot p_L + \delta_L$$

Exemples:

Pour 3 rangées, telles que $n_L = n_w$:

$$n_L = 3 + \frac{N}{12}$$

III.C. CONNEXIONS I/O SUR LA PERIPHERIE DE LA PUCE

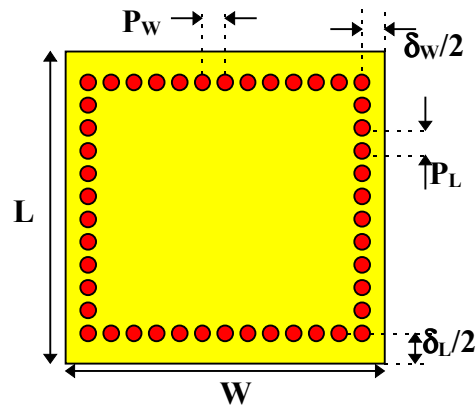


Figure III-3: Disposition des boules de soudure en périphérie de la puce.

L'expression précédente de N est utilisable également dans cette configuration: Le nombre total de protubérances devient:

$$N = 2(n_w - 1) + 2(n_L - 1) = 2(n_w + n_L - 2)$$

III.D. DENSITE D'INTERCONNEXION ET EFFICACITE

La densité d'interconnexion D se définit comme étant le rapport entre la longueur totale d'interconnexion L_{tot} et la surface totale A occupée par celle-ci (c'est à dire dans notre situation, la surface de la puce):

$$D = \frac{L_{tot}}{A} = N \cdot \frac{h}{L \cdot W}$$

avec:

h: Hauteur des soudures.

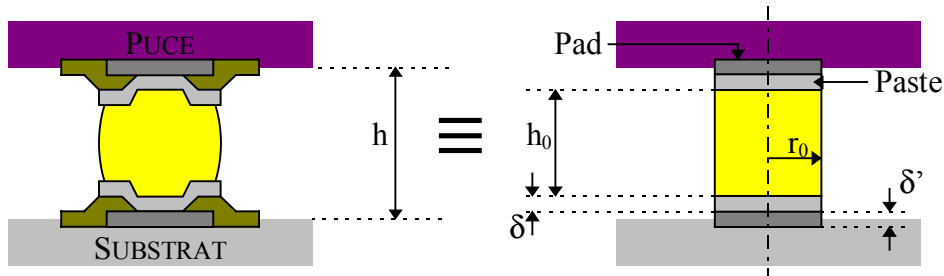
Etant donné que h est très petite, La densité d'interconnexion précédente est bien meilleure que celle rencontrée dans le wire bonding et la technologie TAB.

Rq: Ce type de définition (densité) n'est pas adapté à cette technologie d'interconnexion.

L'efficacité relative à ce type de connexion peut être considérée comme égale à 1: En effet, les protubérances (boules de soudure, colonnes...) n'engendrent pas une surface d'interconnexion supplémentaire à celle de la puce.

IV. ASPECT THERMIQUE

IV.A. RESISTANCE THERMIQUE D'UNE BOULE DE SOUDURE



IV.A.1.1^{ERE} METHODE

L'interconnexion présente entre la puce et son support est considérée comme uniforme. L'expression de sa résistance thermique s'écrit:

$$R_{\text{ball}} = \frac{h}{K_{\text{ball}} \cdot \pi \cdot r_0^2}$$

K_{ball} : Conductivité thermique de la boule de soudure.

IV.A.2.2^{NDE} METHODE

Cette fois, les *pads* et les couches métalliques *pastes* présentes aux deux extrémités de la protubérance sont pris en compte dans le calcul de la résistance thermique de l'interconnexion:

$$R_{\text{ball}} = 2R_{\text{pad}} + 2R_{\text{paste}} + R_{\text{bump}}$$

avec:

$$R_{\text{bump}} = \frac{h_0}{K_{\text{ball}} \cdot \pi \cdot r_0^2}$$

$$R_{\text{pad}} = \frac{\delta'}{K_{\text{pad}} \cdot \pi \cdot r_0^2} \quad R_{\text{paste}} = \frac{\delta}{K_{\text{paste}} \cdot \pi \cdot r_0^2}$$

K_{pad} : Conductivité thermique d'un *pad*.

K_{paste} : Conductivité thermique d'un *paste*.

IV.A.3.3^{EME} METHODE

La méthode la plus précise, mais également la plus complexe à mettre en œuvre, correspond à la simulation numérique. En discrétisant la protubérance et en utilisant le principe des éléments finis, il est possible d'obtenir une approximation de la résistance thermique très proche de la réalité.

IV.B. RESISTANCE THERMIQUE DE L'INTERCONNEXION PUCE-BOITIER.

Quand cette modélisation thermique se porte sur la totalité des interconnexions, présentes entre la puce et son support, nous avons:

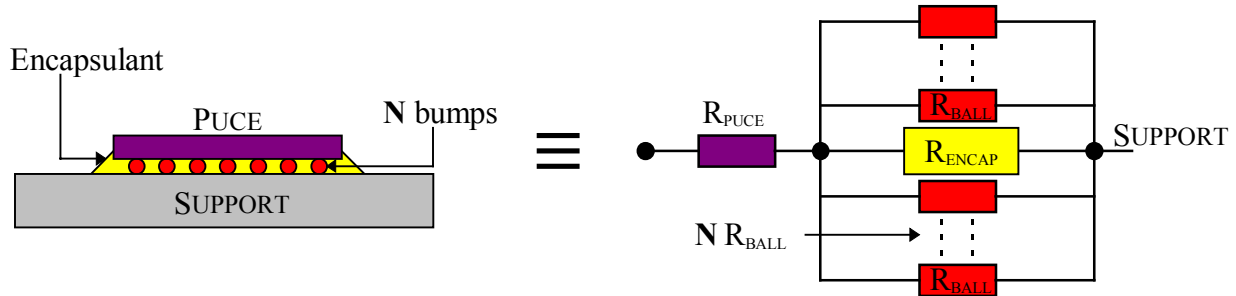


Figure IV-1: Modélisation thermique d'une configuration FLIP CHIP.

La résistance thermique R_{Soudure} , modélisant la totalité des interconnexions (soudures), entre la puce et le support, s'écrit (dans le cas où le transfert thermique est considéré comme unidimensionnelle):

$$R_{\text{soudure}} = \frac{R_{\text{ball}}}{N}$$

Il est nécessaire de tenir compte du comportement thermique du milieu existant entre la puce et son support (encapsulant ou air ambiant). La résistance thermique d'un tel milieu est à ajouter à R_{soudure} , en parallèle.

➤ Dans le cas d'un encapsulant:

$$R_{\text{encap}} = \frac{h}{K_{\text{encap}} \cdot [S - N \cdot \pi \cdot r_0^2]}$$

avec:

K_{encap} : Conductivité thermique de l'encapsulant.

S: Surface occupée par la puce.

N: Nombre de soudures présentes sur la puce.

➤ Dans le cas d'un fluide (air ambiant):

$$R_{\text{fluide}} = \frac{1}{H_{\text{fluide}} \cdot [S - N \cdot \pi \cdot r_0^2]}$$

avec:

H_{fluide} : Coefficient de transfert thermique du fluide interstitielle (air, gaz particuliers...).

Enfin, la résistance thermique équivalente existant entre la puce et son support, s'exprime de la façon suivante:

$$R_{\text{EQ}} = \left(\frac{1}{R_{\text{soudure}}} + \frac{1}{R_{\text{encap}}} \right)^{-1}$$

Il apparaît alors que plus le nombre de soudures N est élevé, plus la résistance thermique R_{soudure} diminue, à l'inverse de R_{encap} (la surface de soudure augmente): $R_{\text{EQ}} \approx R_{\text{soudure}}$.

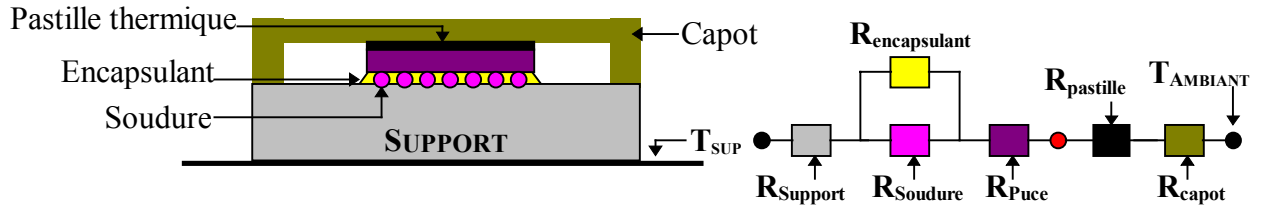


Figure IV-2: Exemple de modélisation thermique d'une puce montée en Flip Chip.

IV.C. CAS PARTICULIER: PROTUBERANCE + ADHESIF CONDUCTEUR OU ANISOTROPE.

Lorsque l'assemblage de la puce ne s'effectue pas par soudage, mais par collage, il est nécessaire de tenir compte de la substance adhésive présente entre le *bump* (ou la colonne) et le substrat (Cf. figure IV.3).

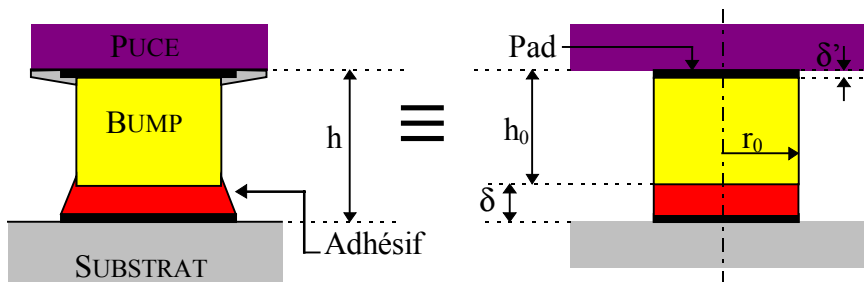


Figure IV-3: Schématisation d'une connexion par collage.

La résistance thermique d'une telle connexion est de la forme:

$$R_{\text{ball}} = 2R_{\text{pad}} + R_{\text{adhésif}} + R_{\text{bump}}$$

avec:

$$R_{\text{bump}} = \frac{h_0}{K_{\text{ball}} \cdot \pi \cdot r_0^2}$$

$$R_{\text{pad}} = \frac{\delta'}{K_{\text{pad}} \cdot \pi \cdot r_0^2} \quad R_{\text{adhésif}} = \frac{\delta}{K_{\text{adhésif}} \cdot \pi \cdot r_0^2}$$

K_{pad} : Conductivité thermique d'un *pad*.

$K_{\text{adhésif}}$: Conductivité thermique de l'adhésif utilisé (conducteur ou anisotrope).

La résistance thermique totale R_{EQ} existant entre la puce et son support devient alors:

➤ Lorsque l'adhésif est conducteur:

$$R_{EQ} = \left(\frac{N}{R_{ball}} + \frac{1}{R_{encapl}} \right)^{-1} \text{ avec } R_{encap} = \frac{h}{K_{encap} \cdot [S - N \cdot \pi \cdot r_0^2]}$$

➤ Lorsque l'adhésif est anisotrope:

$$R_{EQ} = \left(\frac{N}{R_{ball}} + \frac{1}{R_{adhesif}} \right)^{-1} \text{ avec } R_{adhesif} = \frac{h}{K_{adhesif} \cdot [S - N \cdot \pi \cdot r_0^2]}$$

Sachant que:

K_{encap} : Conductivité thermique de l'encapsulant (ou du fluide présent entre la puce et son support).

$K_{adhesif}$: Conductivité thermique de l'adhésif anisotrope

S: Surface occupée par la puce.

N: Nombre de soudures présentes sur la puce.

Rq: Lorsque l'adhésif utilisé est non conducteur, la modélisation thermique de l'interconnexion est alors identique à celle réalisée dans la partie précédente, c'est à dire {Bumps + Encapsulant}.

IV.D. STRESS THERMIQUE

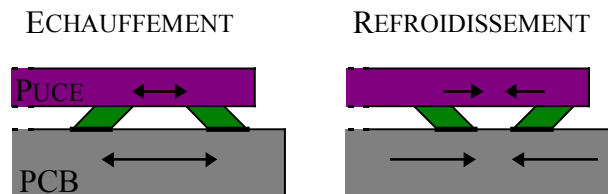


Figure IV-4: Stress thermique sur les soudures.

L'un des inconvénients les plus sensibles de l'assemblage Flip Chip est sans doute le problème de fatigue dû aux sollicitations thermo-mécaniques pendant les variations de température (Cf. figure IV.4). Pour pallier cet inconvénient, il est possible d'agir sur plusieurs paramètres. Tout d'abord, on essaiera d'appairer au mieux les matériaux constituant le circuit intégré (silicium) et le substrat (c'est à dire choisir des matériaux dont les coefficients d'élasticité linéaire CTE sont voisins). On voit tout de suite que cette technique d'assemblage est optimum pour la filière MCM-S, mais également pour les filières MCM-D utilisant le silicium comme substrat. Mais il est également possible de jouer sur la forme, la hauteur et les matériaux de la protubérance. Plusieurs procédés plus ou moins sophistiqués de protubérances hautes existent: Ils débouchent en général sur un empilage de protubérances, élaborées en parallèle, sur la puce et le substrat, puis reliées entre elles (Cf. figure IV.5).

L'utilisation d'encapsulant (choisi judicieusement) permet également de limiter les déformations plastiques au niveau des soudures: Avec un CTE compris entre celui de la puce et celui du substrat, l'encapsulant joue le rôle d'un « amortisseur » contre les phénomènes de cisaillement.

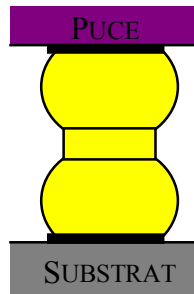


Figure IV-5: Empilage de protubérances.

Définissons quelques grandeurs caractéristiques:

L: Distance entre la soudure et le centre de la puce.

h: Hauteur de la protubérance (distance entre la puce et son support).

d: Diamètre de la protubérance.

τ : Stress sur la soudure.

$\Delta\alpha$: Différence de CTE entre la puce et son support.

E: Module d'élasticité de la protubérance.

ΔT : Variation de températures à laquelle est soumis le système.

Lors d'une variation de température, une soudure est soumise à un stress dont l'expression s'écrit:

$$\tau = \frac{E \cdot d \cdot \Delta\alpha \cdot \Delta T}{h^2} \cdot \frac{L}{2}$$

V. CONCLUSION

L'assemblage des circuits intégrés, selon la méthode FLIP CHIP, utilise des boules de soudure afin de lier mécaniquement et électriquement la puce avec son support. Ce type d'interconnexion procure les meilleures performances mécanique (surface d'interconnexion équivalente à celle de la puce), thermique (le flux de chaleur passe directement de la puce au support, via les boules de soudure) et électrique (la longueur d'interconnexion procurée par les boules de soudure, sont très courtes et permettent donc de monter en fréquence sans la perturbation des signaux). Cependant, cette technique d'assemblage ne permet pas de tester directement la puce une fois soudée. De même le stress thermique peut provoquer des ruptures au niveau des connexions.

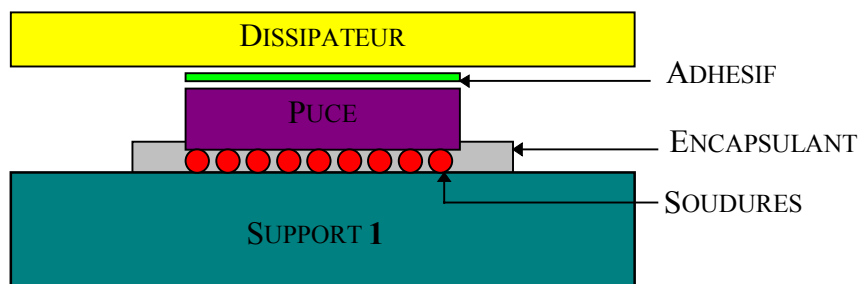


Figure V-1: Interconnexion d'une puce sur son support: Flip Chip.

MODELISATION ELECTRIQUE:

- Impédance caractéristique $Z_0 \ll 1\Omega$.
- Temps de propagation $t_p \ll 1s$.
- Pertes α_r et $\alpha_d \ll 1$.

MODELISATION THERMIQUE:

- Résistance thermique R_{th} .
- Stress thermique.
- Configuration extérieure.

MODELISATION MECANIQUE:

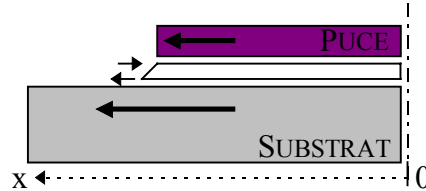
- Type de disposition des *pads* sur le C.I.
- Densité d'interconnexion D .
- Efficacité $\eta \approx 1$.

VI. BIBLIOGRAPHIE

- ❶ « *The VLSI Package - An Analytical Review.* »
Edward T.Lewis.
IEEE Trans. Components and Manufacturing Technology.
VOL CHMT-7, N°2, June 1984.
- ❷ « *Thermal Stress - Free Package for Flip Chip Devices.* »
Masanobu KOHARA, Muneo HATTA, Hideki GENJYO,
Hiroshi SHIBATA, Hidefumi NAKATA.
IEEE Trans. Components and Manufacturing Technology.
VOL CHMT-7, N°4, Dec 1984.
- ❸ « *Thermal Modeling and Experimental Characterization of the C4/Surface-Mount-Array Interconnect Technologies.* »
Masanobu KOHARA, Muneo HATTA, Hideki GENJYO,
Hiroshi SHIBATA, Hidefumi NAKATA.
IEEE Trans. Components and Manufacturing Technology.
VOL CHMT-18, N°1, March 1995.

VII. ANNEXES:

STRESS DE CISAILLEMENT SUR UNE COUCHE ADHESIVE ENTRE LA PUCE ET SON SUPPORT



$2L$: Longueur de la diagonale de la puce.

h_d, h_{sub} : Epaisseurs de la puce et du substrat.

t : Epaisseur de la couche adhésive.

τ : Stress de cisaillement.

$\Delta\alpha$: Différence de CTE entre la puce et son support.

G : Shear modulus de la couche adhésive.

E_d, E_{sub} : Modules d'élasticité de la puce et du substrat respectivement.

ΔT : Variation de températures à laquelle est soumis le système.

Expression du stress (Chen et Nelson):

$$\tau(x) = \frac{\Delta\alpha \cdot \Delta T \cdot G \cdot \sinh(\beta \cdot x)}{\beta \cdot t \cdot \cosh(\beta \cdot L)}$$

avec:

$$\beta^2 = \frac{G}{t} \left(\frac{1}{E_d \cdot h_d} + \frac{1}{E_{sub} \cdot h_{sub}} \right)$$

En général, l'épaisseur de la puce est négligeable devant celle du substrat. Ce dernier est alors considéré comme rigide, dans ce cas:

$$\beta^2 = \frac{G}{t} \left(\frac{1}{E_d \cdot h_d} \right)$$

Le stress le plus élevé, se situe sur les extrémités de la puce:

$$\tau_{\max} = \tau(L) = \frac{\Delta\alpha \cdot \Delta T \cdot G \cdot \tanh(\beta \cdot L)}{\beta \cdot t}$$

Soit τ_{crit} défini comme étant le stress critique, au dessus duquel, la détérioration de la couche adhésive apparaît: Dans ces conditions, le transfert thermique est perturbé et l'adhésif ne peut plus être considéré comme homogène. L'épaisseur minimale de cette couche adhésive doit alors vérifiée:

$$t_{\min} = C \cdot G \text{ avec } C = \Delta\alpha \cdot \Delta T \cdot \frac{\tanh(\beta \cdot L)}{\beta \cdot \tau_{crit}}$$

Référence: « The effect of the volume fraction of silver on the thermal resistance of die attach adhesives » A. Bjorneklett et H. Kristiansen.

DONNEES NUMERIQUES ET ORDRES DE GRANDEUR

La longueur d'onde λ_0 d'un signal de fréquence f se propageant de le vide est:

$$\lambda_0 = \frac{c_0}{f}$$

Dans un matériau de permittivité ϵ_r , cette longueur d'onde λ devient:

$$\lambda = \frac{c_0}{f \cdot \sqrt{\epsilon_r}}$$

Le temps de montée d'un signal et la fréquence sont liés par la relation:

$$t_{\text{rise}} = \frac{0.35}{f}$$

Soit d , la longueur maximale au delà de laquelle une ligne de propagation ne peut plus être considérée comme une équipotentielle (« lumped circuit »), mais au contraire comme une ligne de transmission. Celle-ci est environ égale au dixième de la longueur d'onde du signal de fréquence la plus élevée.

DISTANCES CRITIQUES (DANS LE VIDE)				
f	50 Hz	1 MHz	100 MHz	1 GHz
t_{rise}	7 ms	350 ns	3.5 ns	350 ps
λ₀	6000 km	300 m	3 m	30 cm
d	600 km	30 m	30 cm	3 cm

En plus, les distances maximales d pour des transmissions dans le vide vont se raccourcir pour des transmissions dans des isolants de permittivité relative ϵ_r .

CARACTERISTIQUES ELECTRIQUES DES PRINCIPAUX DIELECTRIQUES		
TYPE	PERMITTIVITE RELATIVE	TEMPS DE PROPAGATION ns/m
Verre époxy	4.45	7
Téflon	2.25	5
Polyéthylène	2.3	5
Polystyrène	2.55	5.3
Alumine	9.4	10
Silice	11.8	11