

Evolution des technologies d'interconnexion de composants

Document de base sur les «boîtiers de la taille d'une puce» (Chip Size Package)

SOMMAIRE

1- Introduction	3
2- Analyse des principales technologies de réalisation	6
2.1- Procédés à interposeur flexible	6
2.1.1- Connexions puce/boîtier	10
2.1.2- Report de puce	10
2.1.3- Encapsulation de la puce	11
2.1.4- Connexions boîtier/extérieur	12
2.1.5- Conclusion	12
2.2- Procédés à interposeur rigide	13
2.2.1- Connexions puce/boîtier	16
2.2.2- Report de puce	18
2.2.3- Encapsulation de la puce	18
2.2.4- Connexions boîtier/extérieur	19
2.2.5- Conclusion	20
2.3- Procédés à moulage	20
2.3.1- Connexions puce/boîtier	22
2.3.2- Report de puce	23
2.3.3- Encapsulation de la puce	24
2.3.4- Connexions boîtier/extérieur	24
2.3.5- Conclusion	25
2.4- Procédés à «lead frame»	25
2.4.1- Connexions puce/boîtier	29
2.4.2- fixation de la puce	29
2.4.3- Encapsulation de la puce	30
2.4.4- Connexions boîtier/extérieur	31
2.4.5- Conclusion	32
2.5- Assemblage au niveau tranche	32
2.5.1- Connexions puce/boîtier	38
2.5.2- Fixation du wafer	38
2.5.3- Encapsulation de la puce	39
2.5.4- Connexions boîtier/extérieur	39
2.5.5- Conclusion	41
2.6- Procédé TCP («Tape Carrier Package»)	41
2.6.1- Connexions puce/boîtier	42
2.6.2- Report de puce	42
2.6.3- Encapsulation de la puce	42
2.6.4- Connexions boîtier/extérieur	43
2.6.5- Conclusion	43
3- Comparaison des différents procédés de réalisation	43
4- Conclusion	47

1-INTRODUCTION

Il peut paraître étonnant de consacrer un document spécifique à l'étude de ces boîtiers simple puce que sont les CSPs ; cependant les efforts de développement dans ce domaine qui se situe à la limite entre les boîtiers conventionnels et les puces nues peuvent amener des modifications importantes dans les techniques de montage de puces ainsi que dans la répartition future des activités de montage de puces.

L'état actuel des technologies de Chip Size (Scale) Package fait apparaître un grand nombre de sociétés étudiant des solutions extrêmement diverses d'encapsulation de puce. Ces sociétés sont pour la plupart de grosses structures qui développent ces technologies, soit pour leurs besoins propres, soit pour commercialiser des puces encapsulées . Il est nécessaire d'ajouter un certain nombre de petites compagnies qui se positionnent sur ce marché en démarrage .

Les efforts de développement qui ont démarré autour de l'année 1994, vont se poursuivre jusqu'en 1998, alors qu'il est prévu que la production en faible volume démarre en 1997 et que la production en fort volume parte une année plus tard .

L'évolution des techniques d'encapsulation vers le CSP a été prévue dans les «roadmap» packaging des fabricants japonais depuis quelque temps déjà et c'est à travers l'Electronics Industry Association of Japan (EIAJ) qu'ils ont les premiers organisé un groupe de travail sur la normalisation des boîtiers CSP . Ce groupe de travail a réparti les technologies CSP en quatre catégories: les boîtiers à interposeur flexible, les boîtiers à interposeur rigide, les boîtiers à «lead frame» et les boîtiers à moulage par transfert.

La société TechSearch International, basée à Austin, fait aujourd'hui référence pour ses études prospectives dans le domaine de l'encapsulation. Cette société a repris la classification de l'EIAJ pour définir au final six catégories de CSPs. Cette classification apparaît dans le tableau 1.1 .

Procédés à interposeur flexible	General Electric NEC Nitto Denko Tessera Texas Instruments-Japon
procédés à interposeur rigide	IBM Motorola Matsushita Toshiba Sony
procédés à moulage	Mitsubishi IME-Singapour
procédés à lead frame	Hitachi Cable Fujitsu Limited LG Semicon
procédés d'assemblage au niveau tranche	ShellCase ChipScale 3D PLUS Sandia National Laboratories
procédé TCP	Rohm

Tableau 1.1

Dans ce tableau, les différents boîtiers apparaissent ainsi que les sociétés (et les instituts de recherche) qui développent des CSPs . Il faut noter que la plupart des catégories de boîtiers mentionnées ici sont issues de technologies de packaging existantes qui sont poussées à l'extrême de façon à remplir leur rôle d'encapsulant minimum. Une seule des catégories, le Wafer-level assembly, met en jeu des techniques différentes d'assemblage que celles qui sont habituellement utilisées . Il n'est pas étonnant d'ailleurs que ces sociétés soient des «start-up» (auxquelles il faut ajouter la société française 3D+) qui sont apparues sur ce marché en pleine évolution pour se positionner avec des solutions originales d'encapsulation de puce .

Les boîtiers CSP sont positionnés entre les boîtiers SMT (Surface Mount Technology) et le montage de puce en «Flip-Chip». Cela est exprimé clairement dans le tableau suivant qui compare les caractéristiques de chaque type de montage.

	Flip-Chip Technology	Chip-Size Technology	Surface Mount Technology
Ratio puce/boîtier	1	0.8 - 1	0.2 - 0.8
Inductance	Très faible	Faible à très faible	Inductance de fils de bonding
Entrées/sorties	Fonction de la surface	Surface ou périmètre	Périmètre
Evacuation thermique	Directe à travers plots et face arrière	Directe à travers plots et face arrière	Limitée
Normalisation	En cours (J-STD-012)	En cours (EIAJ et JEDEC J-STD-012)	Normes existantes
Protection puce	Non	Oui selon les technologies	Encapsulation puces
Particules alpha	Non	Oui selon les technologies	Protection particules alpha
Testabilité	Puce uniquement	Testable	Testable
Fiabilité	Difficile	Fiabilisable	Fiabilisable
Report de surface	Montage particulier	Oui	Montable en surface
Possibilité de refaits	Refaits difficiles	En cours d'étude	Possibilité de refaits

Tableau 1.2 Comparaison des caractéristiques de trois types de montage de composants

Les principaux avantages des technologies CSP qui apparaissent à la lecture de ce tableau proviennent du fait que les boîtiers CSP sont de réels boîtiers qui protègent les composants tout en permettant leur test et leur fiabilisation et en ayant des dimensions physiques proches des tailles de puce. Certes, les études concernant les composants encapsulés en utilisant ce type de boîtier ne sont pas terminées, mais il est certain que ces boîtiers vont jouer un grand rôle dans le domaine du montage de puce où le problème de test des puces n'a pas, à ce jour, trouvé de solution satisfaisante .

Il est sans doute intéressant pour clôturer cette introduction de reproduire et de commenter les tableaux comparatifs publiés par Matsushita et Motorola qui montrent, de façon spectaculaire, l'évolution des surfaces et des volumes des boîtiers pour deux composants.

Le premier des tableaux compare les caractéristiques de différents boîtiers comportant 170 broches environ. Il est caractéristique de constater que le pas du boîtier CSP est le plus large dans ce cas, alors que le rapport de surface varie de 5.8 à 0.7 (1 pour le CSP) et le rapport de volume de 24 à 0.3 (1 pour le CSP) selon les différentes technologies utilisées. Seul le montage de puces nues peut apporter un gain vis à vis du CSP considéré, avec les inconvénients que l'on sait de non testabilité et de non fiabilisation des puces.

Boîtiers	QFP	QFP	QFP	TQFP	CSP	Bare Die
Pas E/S(mm)	0.65	0.5	0.4	0.3	1.0	-
Nombre E/S	160	176	164	168	169	~170
Larg. boîtier(mm)	28	24	18	14	13	11
Long. Boîtier(mm)	31.2	26.6	20	16	13	11
Surface(mm ²)	973	708	400	256	169	121
Ratio surface	5.8	4.2	2.4	1.5	1	0.7
Epaisseur(mm)	3.5	3.3	1.4	1.0	0.85	0.4
Volume(mm ³)	3400	2340	560	256	144	48
Ratio volume	24	16	3.9	1.8	1	0.3

Tableau 1.3 Comparaison de différentes solutions boîtiers de 170 broches par Matsushita (1994)

Pour le nombre de broches et les types de boîtier envisagés, il apparaît clairement que la facilité de montage sera largement favorable aux boîtiers à pas large, alors que le minimum de surface et de volume sera obtenu pour le boîtier CSP considéré.

Une autre comparaison est donnée dans le prochain tableau par Motorola dans le cas de l'assemblage de microcontrôleurs. Ici, les boîtiers envisagés ont approximativement le même pas d'entrées/sorties mais les résultats obtenus pour le ratio (de surface et de volume) sont moins importants que précédemment, car le nombre d'E/S de la puce considérée n'est que de 68 plots.

Boîtiers	QFP	TQFP	CBGA	OM-BGA	GT-BGA	OM-BGA	COB	TAB	C4	SLICC (CSP)
Pas E/S(mm)	~1	~1	1.5	1.5	1.5	1.0	~0.4	~1	0.4	0.81
Larg. boîtier(mm)	17.3	16	15	15	15	10.2	10.2	16.5	8.6	8.3
Long. boîtier(mm)	17.3	16	13.5	13.5	13.5	9.02	10.2	16.5	7.7	7.6
Surface(mm ²)	298	256	202	202	202	91.6	103	273	67	62
Ratio surface	4.8	4.1	3.3	3.3	3.3	1.5	1.7	4.4	1.1	1
Epaisseur(mm)	2.8	1.6	2.8	1.7	1.7	1.65	0.89	0.51	0.5	1.02
Volume(mm ³)	836	416	564	349	349	151	92	138	32	63
Ratio volume	13	6.6	9.0	5.5	5.5	2.4	1.5	2.2	0.5	1

*Tableau 1.4 Comparaison de différentes solutions d'encapsulation pour un microcontrôleur 68HC11 F1 de Motorola (taille de puce; 6.9*6.2 mm, 68 E/S)*

Le boîtier CSP de Motorola appelé SLICC (Slightly Larger than IC Carrier) est un montage Flip Chip sur support laminé BGA qui représente la référence en surface et en volume. Les différences entre technologies COB, TAB, C4 et BGA apparaissent ici; la

mauvaise performance du TAB en surface apparaît nettement et le montage par joint C4 n'est performant que par son épaisseur.

2- ANALYSE DES PRINCIPALES TECHNOLOGIES DE REALISATION

Les six principales techniques de fabrication de boîtiers CSP peuvent être analysées en terme d'étapes de fabrication qui donneront des indications utiles sur la complexité du procédé, donc sur le coût de procédé et sur les potentiels de chacune des solutions proposées vis à vis des paramètres électriques ou thermiques des applications envisagées.

2.1- Procédés à interposeur flexible

Les procédés à interposeur flexible utilisent un circuit imprimé flexible pour réaliser les interconnexions entre la puce et le support. Le but est d'assurer la bonne tenue du boîtier sur le plan thermique.

Le boîtier de Tessera est conçu en relativement peu d'étapes, contrairement aux trois autres CSPs. Un encapsulant (silicone) est utilisé pour protéger les connexions, et un élastomère est placé entre la puce et l'interposeur flexible qui n'ont pas le même CTE (Coefficient of Thermal Expansion), permettant ainsi d'assurer la fiabilité thermique. Le procédé de Tessera utilise la technique de soudure TAB, point par point, seulement en périphérie de la puce.

Les autres procédés utilisent notamment les techniques de lithographie, gravure, électrolyse. Le procédé de General Electric apparaît comme le plus complexe. D'autre part, en ce qui concerne NEC, un procédé spécial, appelé «Micropunching», est utilisé pour produire et placer des petites boules de soudure sur le support (poinçonnage d'un fin ruban de soudure et refusion). De plus, à l'origine, le CSP de NEC était le seul de cette catégorie à se caractériser par la présence de bumps d'or sur la puce, nécessitant un procédé spécial, non standardisé, faisant intervenir une préparation au niveau du wafer. Mais NEC a effectué des recherches pour simplifier son procédé, éviter le dépôt de bumps sur la puce.

Par ailleurs, Il faut noter que, pour chacune des technologies, l'objet final est un boîtier BGA (Ball Grid Array) qui possède des entrées/sorties sur toute (ou sur une grande partie) de la surface de l'interposeur.

Les étapes de fabrication comparées des CSPs de General Electric, de NEC, de Nitto Denko, de Tessera et de Texas Instruments (Japon) apparaissent dans le tableau 2.1.1.

	General Electric	NEC	Nitto Denko	Tessera	Texas Instruments -Japon
<i>Support d'origine</i>	<i>Flex 2 faces Cu</i>	<i>Flex 1 face Cu</i>	<i>Flex 1 face Cu</i>	<i>Flex 2 faces Cu</i>	flex 1 face Cu
Etape 1	Adhésif sur flex	lithographie Cu	Lithographie Cu	Elastomère sur puce	lithographie cuivre
Etape 2	Collage puce	Gravure Cu	Gravure Cu	Report de puce	gravure cuivre
Etape 3	Vias laser	Dépôt polyimide	Lithographie vias	Single-point bonding TAB	Lithographie vias
Etape 4	Pulvérisation Ti-Cu	Lithographie polyimide	Gravure vias	Découpage du flex	Gravure vias
Etape 5	Electrolyse Cu	Gravure polyimide	Electrolyse Vias	Encapsulation de la puce	Electrolyse vias
Etape 6	Lithographie Cu	dépôt d'adhésif	Bumps sur flex		Report de puce

		sur l'autre face			
Etape 7	Gravure Cu	vias laser	Adhésif sur flex		fil d'or puce/flex
	General Electric	NEC	Nitto Denko	Tessera	Texas Instruments-Japon
Etape 8	Encapsulation de la puce	électrolyse vias avec formation de bumps	Report de puce et lamination		encapsulation de la puce
Etape 9	Boules de soudure (bas du boîtier)	Report de puce	Boules de soudure (bas du boîtier)		boules de soudure (bas du boîtier)
Etape 10	Découpage du flex	Boules de soudure (bas du boîtier)	Encapsulation de la puce		découpage du flex
Etape 11		Encapsulation de la puce			
Etape 12		Découpage du flex (par laser)			
<i>Remarques</i>	<i>Issu de MCMs</i>	<i>utilisation de la technologie TCP</i>	<i>Matériaux polyimides particuliers</i>	<i>Outil de bonding TAB spécifique</i>	<i>«Micro Star BGA»; technique de wire bonding</i>
<i>Avantages</i>	<i>Pas de bumps sur les puces</i>	<i>Procédé particulier (micro-punching); protection possible de la face arrière de la puce contre les chocs mécaniques</i>	<i>Pas de bumps sur les puces ; protection de la puce contre les chocs mécaniques</i>	<i>Elastomère entre la puce et le flex (permet d'absorber les contraintes) ; métal permettant une protection de la puce contre les chocs mécaniques et une évacuation thermique</i>	<i>pas de bumps sur les puces</i>
<i>Inconvénients</i>	<i>Procédé complexe</i>			<i>Entrées/sorties de la puce en périphérie (restriction)</i>	<i>entrées/sorties des puces en périphérie</i>

Tableau 2.1.1 Etapes de fabrication.

Les figures suivantes montrent en coupe les différents boîtiers CSP. Si les structures en coupe apparaissent très semblables, il faut noter de grandes différences dans les méthodes de fabrication qui vont être explicitées par la suite .



Figure 2.1.1-a General Electric, fin du procédé pour MCM

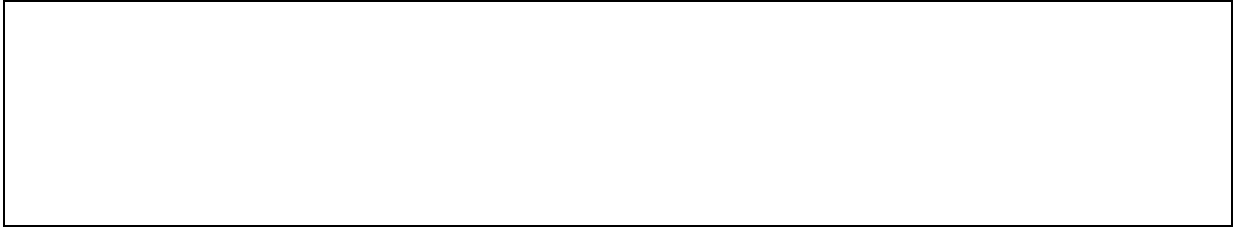


Figure 2.1.1-b Thin Zero Outline Package de General Electric

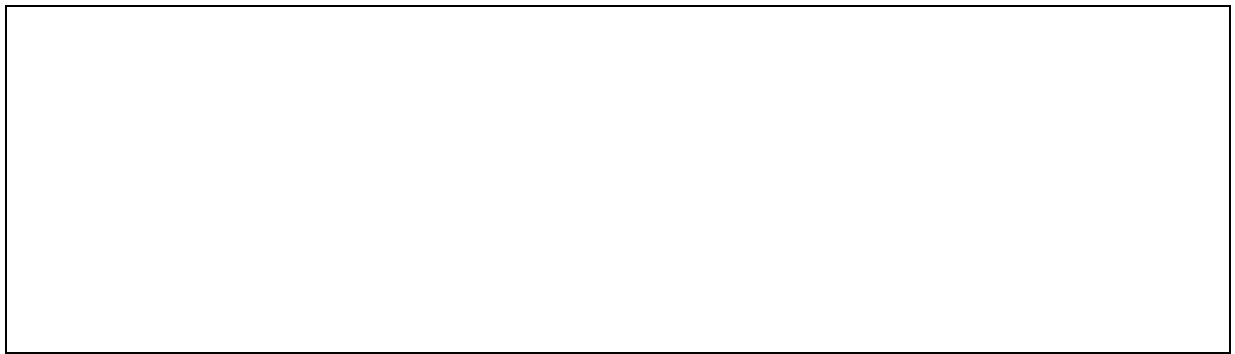


Figure 2.1.2 D2BGA de NEC



Figure 2.1.3 Boîtier CSP de Nitto Denko



Figure 2.1.4 Micro Star BGA de Texas Instruments-Japon

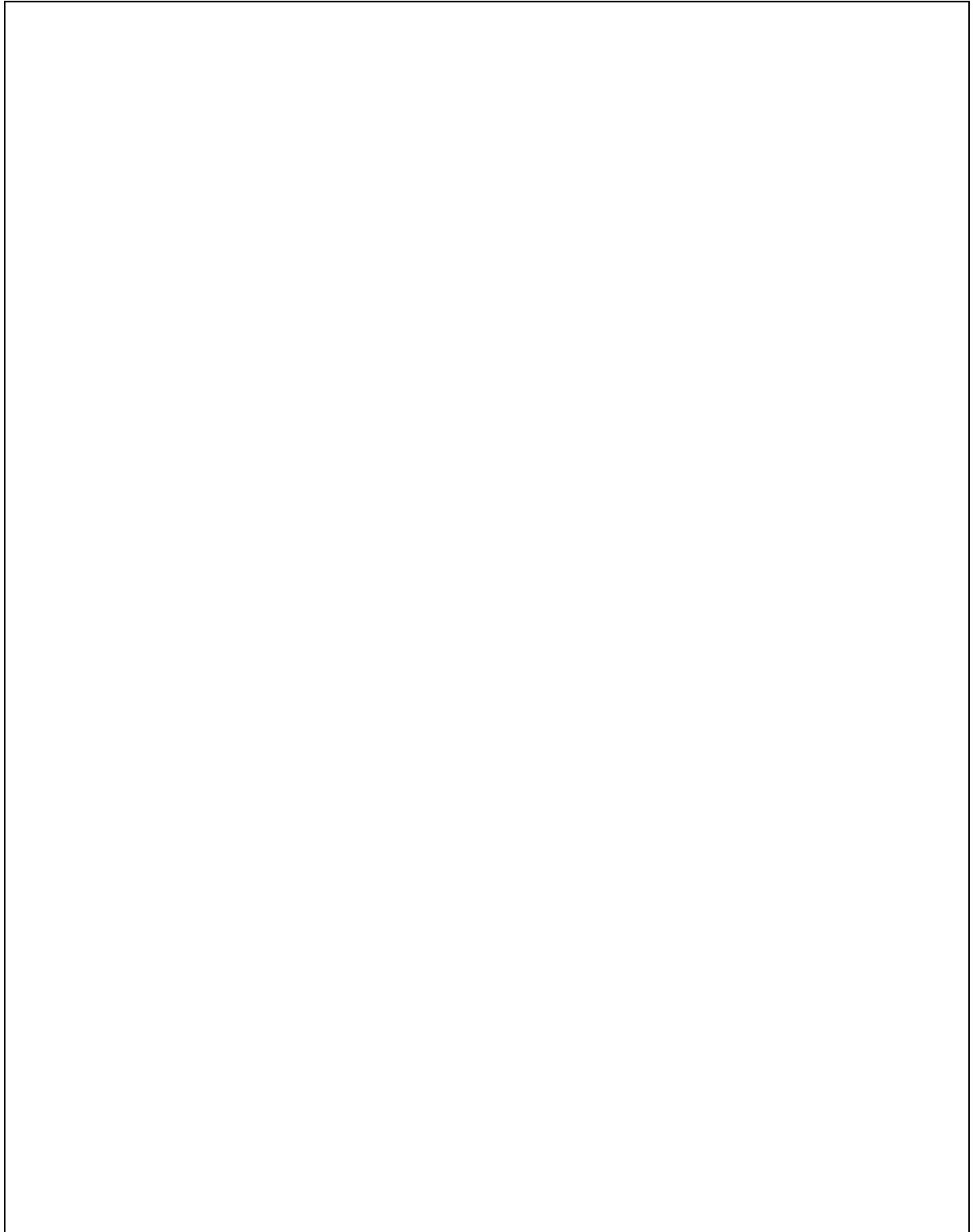


Figure 2.1.5 Boîtiers μ BGA de Tessera

Les principales étapes de réalisation de ces boîtiers ont un impact sur les performances des composants encapsulés.

Les paragraphes suivants vont nous permettre de comparer les performances des différents boîtiers en étudiant: l'interface puce / CSP, l'interface CSP / carte et la réalisation du boîtier lui même .

2.1.1-Connexions puce/boîtier

Les connexions puce-boîtier sont, sur chacune des technologies, différentes. La connexion électrique sur les différents plots de câblage peut se faire soit de façon directe pour les technologies de General Electric et Tessera, soit par l'intermédiaire de bump pour les technologies de Nec et Nitto Denko .

Les connexions puce-boîtier vont être caractérisées par leurs paramètres électriques de résistance et d'inductance; mais également par leur facilité de réalisation (procédés, coûts et rendements) et par leur tenue en fiabilité (cycles de température, choc thermique) . Le tableau 2.1.2 donne une comparaison de ces différents paramètres, ainsi que des indications concernant les difficultés de réalisation.

	General Electric	NEC	Nitto Denko	Tessera	Texas Instruments -Japon
Métaux	Cu/Ti/Cu	bumps Cu+or	Cu (+ or ...)	TAB Au	Cu/fil d'or
Equipements	Laser Pulvérisateur Electrolyse	laser électrolyse TCP bonding	lithographie électrolyse	TAB bonding	lithographie wire bonding
Résistance	Faible	Faible	Faible	Faible	Faible
Inductance	Faible	Faible	Faible	Faible	Faible (1.68 nH)
Fiabilité thermique	?	bonne	?	bonne	bonne
Difficulté	gravure laser du polyimide (lente)	gravure laser (lente)	faible distance puce/support (couplages parasites)	Soudure TAB point à point (temps)	

Tableau 2.1.2 Connexions puce/boîtier

Les différentes technologies peuvent présenter quelques difficultés.

Le procédé de réalisation de General Electric est basé sur la gravure par laser d'une couche de polyimide pour venir prendre un contact direct avec les plots de la puce. La lenteur de la gravure via après via et le manque de contrôle de la pente des vias qui doivent recevoir les métallisations constituent des limitations.

La technologie de NEC réalise une connexion de type TCP (Tape Carrier Package) sur les pads de la puce. Les connexions puce/boîtier se font à travers des vias obtenus par gravure (laser) de l'interposeur constitué d'une couche de polyimide et d'un adhésif. Ces vias sont remplis par électrolyse de cuivre et des bumps sont formés, puis recouverts d'or. La lenteur du laser est un inconvénient.

La technologie de Nitto Denko n'utilise de bumps que sur l'interposeur: la distance puce-support est faible, ce qui laisse très peu de latitude pour réaliser la connexion et peut également être source de couplages parasites .

Enfin, la technique utilisée par Tessera, qui est la plus connue, présente pour inconvénient principal le fait d'utiliser une technique de type TAB pour souder directement et point par point les conducteurs d'or aux plots d'aluminium des puces, ce qui prend du temps.

2.1.2-Report de puce

Dans les cas considérés ici, sauf pour Texas Instruments (Japon), le report des puces est effectué à l'envers (flip chip) sur l'interposeur. Les principales caractéristiques de report sont fournies dans le tableau suivant.

	General Electric	NEC	Nitto Denko	Tessera	Texas Instruments -Japon
Dépôt adhésif	Non connu	Polyimide	Polyimide	Elastomère collé à la puce à l'aide de silicone	non connu
Equipements	Lamineur et four	machine de report	Lamineur		machine de report
Résistance Thermique	forte	assez forte	forte	assez bonne	assez forte
Tenue contraintes	Médiocre	moyenne	Médiocre	Bonne	bonne (selon des tests)
Difficulté	Stabilité film	Stabilité film	Stabilité film		

Tableau 2.1.3 Report de puce

Le montage «Flip Chip» des puces apporte à l'évidence une limitation en terme d'évacuation thermique. La résistance thermique des boîtiers est dans l'ensemble assez forte, sauf dans le cas de Tessera. Un dispositif sur l'arrière peut permettre d'améliorer l'évacuation thermique.

Les problèmes de stabilité des dépôts adhésifs et des tenues face aux contraintes, de type chocs thermiques ou cycles de température, ne semblent être que partiellement résolus; seule Tessera a pris un grand soin d'étudier le problème dès l'origine ; cela vaut sans doute à cette société d'avoir signé de nombreux accords d'utilisation de sa technologie .

2.1.3-Encapsulation de la puce

L'encapsulation finale de la puce est généralement toujours possible même si cela n'a pas été prévu dès l'origine du développement du boîtier. Les solutions retenues peuvent être plus ou moins simples. Le tableau 2.1.4 compare les 5 technologies.

	General Electric	NEC	Nitto Denko	Tessera	Texas Instruments -Japon
Type d'encapsulation	Encapsulant plastique	Plastique moulé	Epoxy	Anneau (ou capot en métal) et silicone	plastique moulé
Equipements	Machine de dépôt	Moulage	Moulage	Report	moulage par transfert
Tenue humidité	Médiocre	Moyenne	Médiocre	Moyenne	médiocre
Tenue contraintes	Médiocre	Moyenne	Médiocre	Bonne	bonne (selon tests)
Difficulté	Taille		Tenue contraintes	Coût	

Tableau 2.1.4 Encapsulation.

La principale difficulté qui peut être rencontrée lorsque l'on moule des puces à partir d'un support de taille identique provient de la tenue face aux contraintes que rien ou quasiment rien ne peut absorber . L'avantage des boîtiers Tessera provient ici du montage de type TAB sur une couche élastomère épaisse qui permet d'absorber les contraintes. Cette couche qui a été étudiée à cet effet, justifie pour une bonne partie de l'intérêt actuel pour ce boîtier.

2.1.4-Connexions boîtier/extérieur

L'interposeur flexible est à base de polyimide et de conducteurs en cuivre. Le tableau suivant compare les cinq procédés utilisés pour les connexions extérieures.

	General Electric	NEC	Nitto Denko	Tessera	Texas Instruments -Japon
Epaisseur Flex	150 μm	30.5 μm	5 à 50 μm	25 μm	75 μm
Nombre de couches (Cu)	3	1	1	2	1
Matériaux Flex	Cu-Polyimide	Cu-Polyimide	Cu-Polyimide	Cu-Polyimide	Cu-polyimide
type de connexion extérieure	μBGA	Fine Pitch BGA	Boules	μBGA (Pb37Sn63)	Fine Pitch BGA
Difficulté	Coût	Coût	Matériaux spécifiques		

Tableau 2.1.5. Connexions boîtier/extérieur

Les différentes technologies à interposeur flexible utilisent toutes des matériaux cuivre-polyimide avec des nombres de couche variables selon les cas. Certains de ces matériaux ont fait l'objet de développements particuliers tel Nitto Denko qui a protégé sa technologie par différents brevets. La densité d'interconnexion des conducteurs en cuivre peut engendrer des valeurs d'inductance et de capacité non négligeables si aucune précaution n'est prise. Il est important de noter que les connexions boîtier-support sont réalisées avec un apport thermique par soudure de boules (μBGA ou autre). La stabilité des joints laminés pourra donc être dépendante des traitements thermiques de soudure des boîtiers sur leurs supports. De plus, des problèmes ayant été identifiés par NEC et Texas Instruments, les boîtiers ont été montés sur un interposeur rigide, de l'underfill étant utilisé entre les connexions extérieures des CSPs et l'interposeur, et les nouvelles connexions extérieures étant également des boules de type BGA. Toutefois, il semblerait que des nouvelles études menées par NEC pour améliorer la fiabilité vont permettre de ne plus utiliser un interposeur rigide ; une résine de renforcement est utilisée à la base des boules de soudure. Avec cette modification, les CSPs de NEC supportent 1000 cycles de température de -65°C à 150°C .

2.1.5-Conclusion

Nous avons présenté une première catégorie de boîtiers CSP comportant un interposeur flexible. Le boîtier de Tessera, avec un élastomère et des conducteurs flexibles, apparaît véritablement comme le plus fiable sur le plan thermique (il supporte plus de 1000 cycles de température). Il convient de préciser que Tessera utilise la technique TAB qui est plus difficile à contrôler en production que le wire bonding.

Certaines technologies permettent de réaliser des connexions sur toute la surface des puces alors que d'autres ne le permettent pas. Dans le camp des technologies limitées à la périphérie des puces, se trouvent Tessera, Texas Instruments (Japon) et NEC alors que GE et Nitto Denko possèdent des techniques qui permettent de connecter des plots sur toute la surface des puces. Cela peut être une limitation à l'avenir si l'on a besoin de beaucoup d'entrées/sorties.

Par ailleurs, il convient de signaler que les CSPs de NEC et de Texas Instruments (Japon) sont montés sur un interposeur rigide dans le camescope digital de Sony (DCR-PC7), à cause d'un problème de fiabilité des connexions extérieures. Mais des recherches effectuées par NEC ont permis d'améliorer la fiabilité de son CSP.

2.2- Procédés à interposeur rigide

Les boîtiers à interposeur rigide sont tous issus de l'évolution de boîtiers et de technologies existantes qui utilisaient soit des supports céramiques, soit des supports PCB.

Les boîtiers obtenus sont des BGA chez IBM et Motorola; Toshiba, Sony et Matsushita fabriquent des LGA (Land Grid Arrays). Pour ces CSPs, les connexions extérieures sont situées sur toute la surface. De plus, il est possible de connecter des plots sur toute la surface des puces.

Les quatre fabricants utilisent la technologie Flip Chip. L'inductance et la résistance sont faibles. Par ailleurs, Matsushita, Toshiba et IBM utilisent un interposeur en céramique ayant un CTE (Coefficient of Thermal Expansion) minimisé, assez proche de celui du silicium. Motorola, Sony (et également Matsushita) utilisent un interposeur organique qui est moins coûteux. La différence de CTE entre la puce et l'interposeur organique est plus importante. Par contre, le CTE de l'interposeur organique est plus proche de celui du PCB. L'aspect thermique est très important et le problème de la fiabilité des joints de soudure se pose. Les cinq boîtiers comportent un underfill, résine (époxy) qui est introduite entre la puce et l'interposeur (puis recuite) et qui est destinée à compenser le désaccord de CTE, à réduire le stress et donc à assurer la fiabilité thermique des joints de soudure entre la puce et l'interposeur. Quand l'underfill a été déposé (et a subi un traitement en température), la réparation des joints de soudure n'est plus possible. L'adhésion et le dépôt de l'underfill peuvent poser des problèmes. Parfois, il peut y avoir un défaut dans l'underfill; le remplissage de cette résine, entre la puce et l'interposeur rigide, sur une distance de l'ordre de 50 µm à 100 µm, n'est pas toujours correct, ce qui risque de poser des problèmes de fiabilité thermique pour le boîtier. L'underfill doit être très fluide. Pour essayer de pallier au problème de remplissage de l'underfill, Motorola utilise une technique spéciale: un changement de pression est effectué sous la puce (alternativement, pression de l'air et pression du vide) pour que la résine soit répartie partout uniformément; malgré cela, un problème a été identifié. De plus, il convient de faire remarquer que le dépôt (et le traitement en température) de l'underfill est une opération qui demande du temps et qui est assez coûteuse.

D'autre part, dans le cas d'IBM, une pâte thermique et un capot métallique sont déposés sur l'arrière de la puce; le boîtier de Toshiba comporte une résine qui protège la face arrière du circuit intégré ; dans le cas de Motorola, Matsushita et Sony, la face arrière de la puce n'est pas protégée contre les chocs mécaniques. Le montage d'un radiateur est possible pour améliorer l'évacuation thermique, mais cela accroît le coût et peut éventuellement affecter, à cause de sa masse, la fiabilité des joints de soudure.

Les étapes de fabrication comparées pour IBM, Matsushita, Motorola, Sony et Toshiba apparaissent dans le tableau 2.2.1.

	IBM	Matsushita	Motorola	Toshiba	Sony

<i>Interposeur rigide</i>	<i>céramique (Alumine) multicouches</i>	<i>céramique (ou organique) LGA multicouches</i>	<i>organique laminé multicouches</i>	<i>céramique (Alumine ou AlN) LGA multicouches</i>	<i>organique 1 couche</i>
Etape 1	report de la puce par joints C4	report de la puce après formation des bumps et collage d'une résine conductrice	report de puce après fixation de bumps sur le wafer et utilisation de flux	report de la puce après dépôt de bumps d'or sur le wafer	report de puce après redistribution des pads, dépôt de bumps, utilisation de flux
Etape 2	test électrique	inspection avec possibilité de réparer	résine d'époxy (underfill) pour remplir le gap entre la puce et l'interposeur	résine d'époxy (underfill) pour remplir le gap entre la puce et l'interposeur	underfill entre la puce et l'interposeur
Etape 3	encapsulation pour le joint C4	underfill pour remplir le gap entre la puce et l'interposeur	traitement en température	traitement en température	traitement en température
Etape 4	traitement en température	traitement en température	boules de soudure BGA sur le bas de l'interposeur		soudure sur les pads au bas de l'interposeur
Etape 5	dépôt de pâte thermique		sciage de l'interposeur		
Etape 6	capot en aluminium et test de fuite				
Etape 7	boules de soudure eutectique mini-BGA sur le bas de l'interposeur				
<i>Remarques</i>	<i>adaptation de technologies de boîtier existantes (avec suppression des condensateurs de découplage)</i>	<i>utilisation de la technologie Stud Bump Bonding (MCM) - Flip Chip (adaptation de la technique du ball bonding)</i>	<i>SLICC; adaptation des technologies flip chip et BGA ; bumps sur wafer</i>	<i>Chip scale thin package (CSTP); utilisation des techniques flip chip et LGA ; bumps d'or sur le wafer (électrolyse)</i>	<i>Transformed Grid Array (TGA) ; technologie flip chip ; bumps sur la puce</i>
<i>Avantages</i>	<i>capot et pâte thermique pour dissipation de la chaleur; face arrière de la puce protégée contre les chocs mécaniques</i>		<i>stress (à cause de la température) fortement réduit au niveau des bumps grâce à l'underfill</i>	<i>soudure or-or qui évite l'utilisation de flux et donc le nettoyage</i>	<i>stress fortement réduit au niveau des bumps grâce à l'underfill</i>
	IBM	Matsushita	Motorola	Toshiba	Sony
<i>Inconvénients</i>	<i>bumps (par évaporation) sur la puce (coût);</i>		<i>différence entre le CTE de l'interposeur</i>	<i>pas de refait après l'étape 2; forte pression</i>	<i>différence entre le CTE de l'interposeur</i>

	<i>capot non hermétique</i>		<i>organique et celui du silicium ; pas de refait après l'étape 2 ; pas de protection de l'arrière de la puce contre les chocs mécaniques</i>	<i>risquant de casser la puce ; pas de protection de l'arrière de la puce contre les chocs mécaniques</i>	<i>organique et celui du silicium ; pas de protection contre les chocs mécaniques pour l'arrière de la puce ; pas de refait après l'étape 2</i>
--	-----------------------------	--	---	---	---

Tableau 2.2.1. Etapes de fabrication

Les figures 2.2.1 à 2.2.5 montrent les CSPs à interposeur rigide. On peut remarquer que la taille du boîtier est un peu supérieure à celle de la puce à cause de l'underfill.



Figure 2.2.1 Boîtier mini-BGA d'IBM



Figure 2.2.2 Boîtier CSP de Matsushita



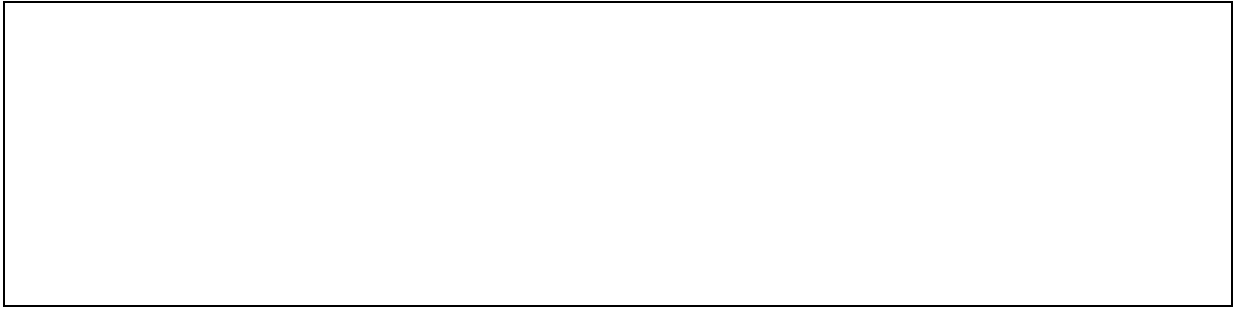


Figure 2.2.3 Boîtier SLICC de Motorola

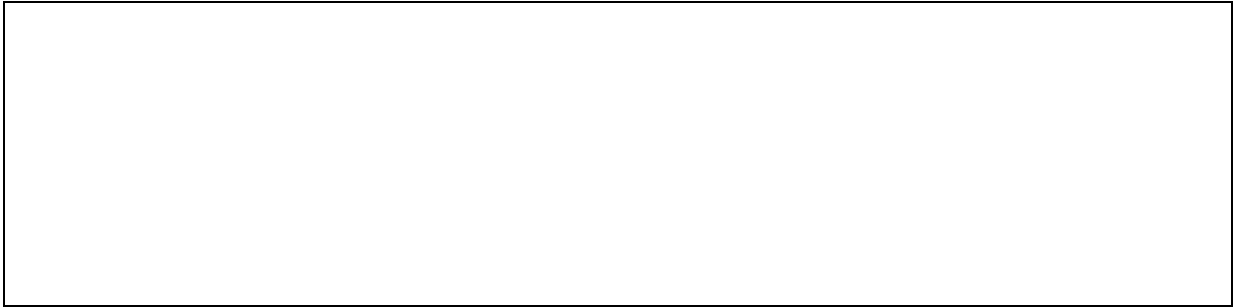


Figure 2.2.4 Boîtier CSTP de Toshiba



Figure 2.2.5 boîtier TGA de Sony

2.2.1-Connexions puce/boîtier

Les connexions puce-boîtier se font, pour les cinq technologies, par l'intermédiaire de bumps ou boules de soudure. Matsushita et Toshiba utilisent de l'or, tandis que IBM, Sony et Motorola utilisent du PbSn qui est moins coûteux. Pour réaliser les connexions puce-boîtier, les fabricants utilisent des technologies déjà existantes.

IBM utilise la technologie C4 (Controlled Collapse Chip Connection) qui présente l'inconvénient d'être assez coûteuse à cause de l'utilisation d'un évaporateur qui engendre du gaspillage.

Matsushita réalise la formation des stud bumps d'or avec une machine de wire bonding qui est très utilisée. Il convient de signaler que l'utilisation d'une colle conductrice tend à accroître un peu la résistance électrique.

Dans le cas de Sony, une redistribution des pads de puce est effectuée ; une couche de Au/Cu/Cr, puis des bumps Pb₉₅Sn₅ sont déposés ; de la pâte à souder est imprimée sur les pads de l'interposeur. Il convient de remarquer que la redistribution des pads peut avoir un effet sur la valeur de la résistance et celle de l'inductance.

La méthode de Toshiba est simple. Une soudure or-or est réalisée. Les connexions puce-boîtier sont formées en déposant de l'or par électrolyse et en chauffant. Mais la réparation n'est pas possible.

Motorola utilise un procédé eutectique de formation des bumps. Ceci s'est avéré, selon des études, moins coûteux qu'un autre procédé basé sur la technologie C4, car il n'est pas nécessaire d'imprimer de la pâte à souder sur le support.

Par ailleurs, la fiabilité des joints de soudure, lors des cycles en température et des chocs thermiques, est un problème très important qui préoccupe les fabricants, qui l'ont résolu totalement ou partiellement. L'introduction d'underfill va améliorer la fiabilité, la bonne tenue des joints de soudure face aux contraintes thermiques; mais la faible hauteur des bumps, entre la puce et le boîtier, tend à rendre assez difficile un remplissage correct de l'underfill et ceci peut engendrer des problèmes importants pour le boîtier lors d'augmentations de la température.

D'autre part, la faible distance entre la puce et le support, dans le cas des CSPs de Matsushita et de Toshiba, risque d'engendrer un problème de couplage parasite.

Le tableau 2.2.2 compare les cinq technologies.

	IBM	Matsushita	Motorola	Toshiba	Sony
métaux	Pb95Sn5 avec couche d'accrochage Cu-Cr-Au	stud bumps d'or (sur les pads d'Al) Ag80Pd20 + époxy sur les bumps	PbSn eutectique (sur les pads des puces)	or sur la puce et nickel + or sur l'interposeur	Au/Cu/Cr + Pb95Sn5 et soudure sur les pads d'interposeur
équipement	évaporateur et masque	capillaire; machine de wire bonding; outil pour aplanir les bumps		électrolyse et four	pulvérisateur ou évaporateur ; sérigraphie
résistance	faible	moyenne (à cause de la colle)	faible	faible	variable en fonction de la redistribution des pads de puce
inductance	faible	faible	faible	faible	variable en fonction de la redistribution des pads de puce
fiabilité thermique	problème potentiel lié à la qualité de remplissage de l'underfill	problème potentiel lié à la qualité de remplissage de l'underfill	problème potentiel lié à la qualité de remplissage de l'underfill	problème potentiel lié à la qualité de remplissage de l'underfill	problème potentiel lié à la qualité de remplissage de l'underfill
avantages	possibilité de refait des joints C4 avant encapsulation	méthode simple ; possibilité de refait avant dépôt de l'underfill	coût ; possibilité de refait avant dépôt de l'underfill	simple	
difficulté	coût (un peu de gaspillage avec l'évaporation)			non réparable	

Tableau 2.2.2. Connexions puce/boîtier

2.2.2- Report de puce

Le report des puces s'effectue à l'envers (flip chip) sur l'interposeur.

Avec les technologies utilisées, la résistance thermique est assez forte. L'évacuation thermique, à travers les joints de soudure, va être relativement médiocre, mais elle peut se faire par l'arrière de la puce: un dispositif existe pour IBM (il sera détaillé au paragraphe suivant). Pour les autres, selon la puissance dissipée, il est possible de fixer un radiateur à ailettes; une étude réalisée par Matsushita montre que la résistance thermique est divisée par deux environ avec un dispositif tel que le radiateur à ailettes.

En ce qui concerne le problème des contraintes thermiques, des tests (cycles de température, chocs thermiques), effectués par Motorola, ont révélé un problème de fiabilité.

Dans tous les cas, un bon contrôle de l'alignement des bumps est absolument nécessaire.

D'autre part, avec la technique de Toshiba, basée sur la thermocompression, la puce risque d'être cassée à cause de la forte pression qui est exercée sur elle. Toshiba a donc mis au point une autre méthode qui ne nécessite pas l'application d'une forte pression sur la puce: création d'un mélange eutectique à l'interface puce-interposeur par chauffage.

Contrairement aux autres techniques, Matsushita utilise une substance adhésive conductrice.

Par ailleurs, la faible distance entre la puce et le support, surtout dans le cas des CSPs de Matsushita et de Toshiba, risque d'engendrer un problème de couplage parasite.

Les principales caractéristiques sont données dans le tableau suivant:

	IBM	Matsushita	Motorola	Toshiba	Sony
équipements	machine de report et four	machine de report et four	machine de report et four	machine de report, thermo compression	machine de report et four
résistance thermique	moyenne	assez forte	assez forte	assez forte	assez forte
difficultés		risque de couplage parasite (faible distance puce/interposeur)		forte pression sur la puce; risque de couplage parasite (faible distance puce/interposeur)	

Tableau 2.2.3. Report de puce

2.2.3- Encapsulation de la puce

Motorola, Sony, et Matsushita ne protègent pas la face arrière de la puce, il n'y a donc pas de protection contre les chocs mécaniques et la puce est moins protégée contre l'humidité. Ils injectent simplement une résine entre la puce et l'interposeur pour protéger les bumps, sur le plan mécanique et sur le plan thermique (à cause du désaccord de CTE). Une étude menée par Motorola montre que la contrainte qui s'exerce, lors d'une élévation de température, sur les joints de soudure protégés par l'underfill est quatre fois moins importante que celle qui s'exerce sur les connexions extérieures. Ceci démontre l'utilité de l'underfill. Mais, une interrogation subsiste quant à la qualité de l'adhésion et du remplissage de l'underfill, notamment dans le cas du CSP de Motorola, pour lequel un problème a été identifié.

Contrairement aux autres fabricants, IBM a déposé sur l'arrière de la puce une pâte thermique et un capot d'Aluminium (non hermétique) qui jouent un rôle d'évacuation thermique et de protection mécanique. De plus, IBM utilise un encapsulant (époxy).

Les solutions retenues sont données dans le tableau de comparaison suivant:

	IBM	Matsushita	Motorola	Toshiba	Sony
type	époxy + pâte thermique + capot d'Aluminium	underfill : époxy-phénol + additif (SiO ₂)	époxy (underfill)	époxy (underfill)	underfill non connu
équipements	machine de dépôt de l'époxy, four de recuit, machine de dépôt de pâte thermique, machine de report du capot	machine de dépôt de l'underfill et four	machine de dépôt de l'époxy et équipement de changement de pression	capillaire et four	machine de dépôt de l'underfill et four
tenue humidité	moyenne	moyenne	médiocre	médiocre	moyenne
tenue contraintes	?	bonne	un problème identifié	bonne	bonne
difficulté		Problème de remplissage de l'underfill à cause du faible gap	problème potentiel dû à une mauvaise adhésion de l'underfill sur le substrat organique	problème de remplissage de l'underfill à cause du faible gap	

Tableau 2.2.4. Encapsulation

2.2.4-Connexions boîtier/extérieur

IBM et Toshiba utilisent un interposeur en céramique. Par contre, Motorola et Sony utilisent un interposeur organique. Matsushita a développé des CSPs avec les deux types d'interposeur. Avec un interposeur en céramique, le désaccord de CTE (entre le PCB et l'interposeur) peut engendrer un problème de fiabilité.

Les interposeurs de Matsushita, Sony et Toshiba (à l'origine) comportent des plots LGA. Des tests (cycles de température) effectués par Sony ont montré que la fiabilité est accrue lorsque la hauteur des joints de soudure est augmentée, avec un interposeur ayant un CTE assez faible. Par ailleurs, en 1996, Toshiba a annoncé qu'un CSP avec des boules BGA allait être développé.

La technique d'IBM est particulière: des boules de PbSn sont déposées dans les cavités d'une plaque d'acier inoxydable; l'interposeur est déposé dessus, un recuit est effectué, les boules fondent et se mettent sur l'interposeur; après inspection, il est possible de remplacer des boules de soudure défectueuses. Il convient de remarquer que la technologie de montage avec billes est bien maîtrisée par IBM depuis de nombreuses années.

Pour IBM et Motorola, les connexions extérieures sont des boules de soudure BGA. Des études réalisées par IBM permettent d'assurer la fiabilité, d'un point de vue thermique, des connexions extérieures. En cas de problème, il est possible de rajouter de l'underfill.

Le tableau 2.2.5 donne une comparaison des procédés utilisés pour connecter le boîtier avec l'extérieur.

	IBM	Matsushita	Motorola	Toshiba	Sony
épaisseur de	(hauteur du	0.4 mm	0.2-0.3 mm	0.2 mm	(hauteur du

l'interposeur	boîtier: 3.4 mm)	(organique) ; 0.6 mm (céramique)			boîtier: 1 à 1.2 mm)
nombre de couches	multicouches	multicouches	multicouches	multicouches	1
matériau (interposeur)	Alumine	céramique (ou organique)	FR-4, BT-époxy	Alumine ou AlN (pour des applications haute puissance)	organique
type de connexion avec l'extérieur	mini-BGA (boules de soudure eutectique)	pads LGA	boules de soudure BGA	pads LGA (ou boules BGA)	pads LGA + soudure
difficulté				Tenue en température ?	

Tableau 2.2.5. Connexions boîtier/extérieur

2.2.5- Conclusion

Nous avons présenté cinq boîtiers utilisant un interposeur rigide, un montage flip chip de la puce sur l'interposeur, et nécessitant l'utilisation d'underfill (entre la puce et l'interposeur à cause du désaccord de CTE) afin d'assurer la fiabilité d'un point de vue thermique.

Le dépôt et le traitement en température de l'underfill prennent du temps et ceci doit être pris en compte pour le coût. Actuellement, le refait n'est pas possible après le dépôt d'underfill. De plus, cette technique nécessite un bon contrôle de la fluidité et du remplissage partout entre la puce et l'interposeur.

Par ailleurs, un dispositif spécial (pâte thermique, capot métallique, radiateur), sur l'arrière de la puce, peut être nécessaire afin d'améliorer l'évacuation thermique. Mais il convient de remarquer qu'un radiateur accroît le coût et la hauteur du boîtier, et il peut parfois, à cause de sa masse, réduire la fiabilité des connexions extérieures.

2.3- Procédés à moulage

Mitsubishi Electric et l'Institut de microélectronique (IME) de Singapour ont développé un CSP qui ne comporte pas d'interposeur. Un moulage par transfert, procédé connu, bien maîtrisé, permettant d'utiliser le minimum de résine contrairement à d'autres procédés de moulage, est utilisé. Dans les deux cas, la protection contre les chocs mécaniques est assurée. Par ailleurs, le refait n'est pas possible.

Le boîtier de Mitsubishi Electric, de faible épaisseur (0.4 à 0.65 mm), comporte seulement un moulage plastique et des bumps ; ceci présente l'avantage d'être peu coûteux. Il convient de préciser que des étapes de pré-assemblage sont nécessaires au niveau du wafer, une redistribution des plots sur les circuits intégrés est effectuée: deux couches conductrices sont déposées par pulvérisation; puis, un dépôt de polyimide est effectué (ceci est précédé et suivi d'une photolithographie et d'une gravure); une évaporation de PbSn et un «lift off» sont effectués ; le wafer est découpé. Par ailleurs, sur un support, sont fixés, grâce à un film adhésif, des bumps de cuivre, et ces bumps sont transférés sur la puce. Ensuite des boules de soudure sont fixées sur les bumps qui doivent être nettoyés au préalable. Il convient de remarquer que, si la fabrication du wafer et le préassemblage ne sont pas effectués au même endroit, il existe un risque de ne pas voir un alignement précis des masques supplémentaires avec le wafer.

Le CSP de l'IME, d'épaisseur inférieure à 1 mm, nécessite de fixer des bumps sur les plots (entrées/sorties) des circuits intégrés ; il n'y a pas de redistribution, contrairement

au procédé de Mitsubishi. La puce est fixée sur un support métallique, puis est encapsulée. Le support métallique permet de maintenir la puce pendant le moulage. Puis l'époxy qui recouvre les bumps est retiré et des boules de soudure sont fixées sur les bumps. La simplicité de ce procédé devrait avoir un effet favorable sur le coût. Ce procédé semble très prometteur, mais, l'étude a été réalisée par un Institut de recherche qui ne dispose probablement pas des mêmes moyens techniques qu'un fabricant et qui n'a peut-être pas tout à fait la même vision des problèmes techniques pouvant avoir lieu en production.

Les étapes de fabrication sont comparées dans le tableau suivant.

	Mitsubishi Electric	IME
étape 1	fixation des bumps de cuivre sur la puce (après assemblage)	report de puce(après dépôt d'une couche d'accrochage et de bumps sur le wafer)
étape 2	encapsulation	encapsulation
étape 3	séparation puce-support	découpage du wafer
étape 4	fixation de boules de soudure après nettoyage	l'époxy qui recouvre les bumps est enlevé
étape 5		fixation des boules de soudure sur les bumps
<i>Remarques</i>	<i>moulage par transfert ; technique de transfert de bumps ; pas d'interposeur</i>	<i>moulage par transfert ; support métallique pour maintenir la puce pendant le moulage</i>
<i>Avantages</i>	<i>protection mécanique ; structure assez simple ; utilisation de technologies existantes ; coût</i>	<i>protection mécanique ; utilisation de technologies existantes ; simple ; coût</i>
<i>Inconvénients</i>	<i>choix du bon adhésif sur le support pour avoir un bon transfert de bumps ; bonne qualité du nettoyage de l'adhésif pour un contact fiable entre les bumps de cuivre et les boules de soudure ; problème d'évacuation thermique (à cause de l'encapsulant) ; problème possible pour un alignement précis si la fabrication du wafer et le préassemblage ne sont pas faits au même endroit ; pas de refait</i>	<i>problème d'évacuation thermique à cause de l'encapsulant ; pas de refait</i>

Tableau 2.3.1. Etapes de fabrication

Les figures suivantes montrent les deux boîtiers.

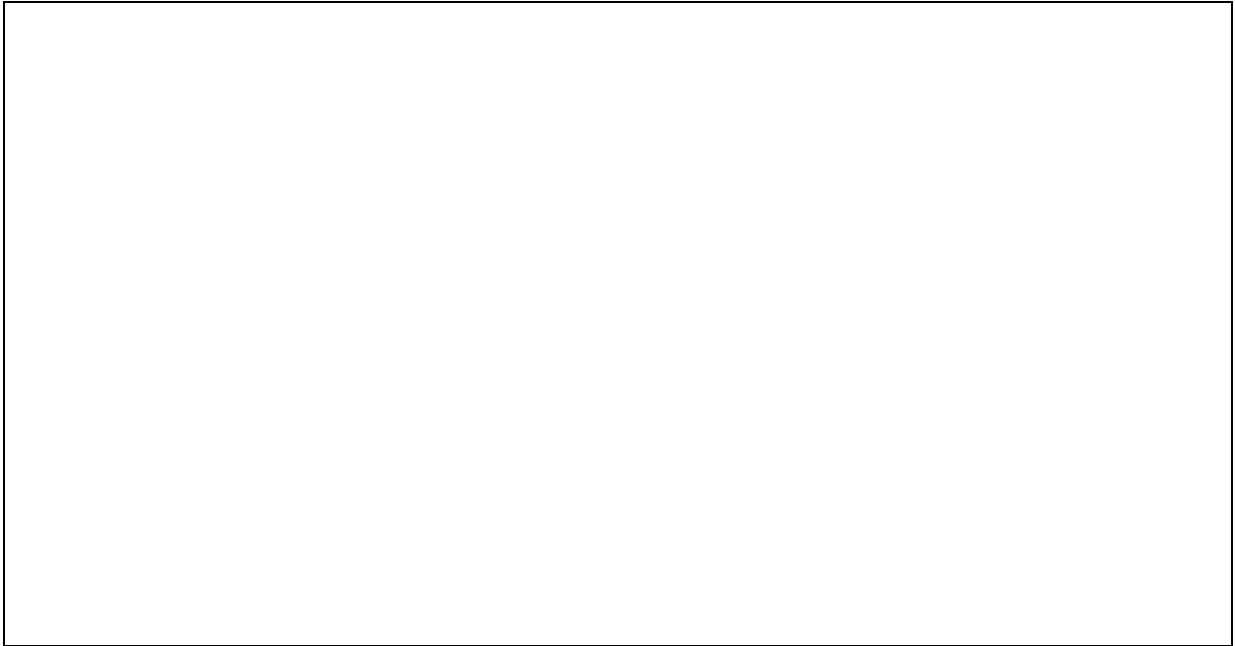


Figure 2.3.1 CSP de Mitsubishi Electric



Figure 2.3.2 CSP de l'IME de Singapour

2.3.1 Connexions puce/boîtier

Les connexions entre la puce et le boîtier de Mitsubishi se composent d'une part de deux couches conductrices et de soudures PbSn, qui ont été préalablement déposées sur le wafer, respectivement par pulvérisation et par évaporation, et d'autre part de bumps de cuivre (recouverts d'une couche de Ni/Au) fixés sur un support en acier inoxydable grâce à une résine spéciale (une couche de thermosetting polyimide et une couche de polyimide thermoplastique). De plus, il convient de noter que la redistribution des sorties peut avoir ici un effet non négligeable sur la valeur de la résistance et celle de l'inductance.

En ce qui concerne le CSP de l'IME, une couche d'accrochage (TiNiAu ou CrCuAu; selon des tests effectués TiNiAu semble de meilleure qualité) et des bumps Sn_{96.5}Ag_{3.5} sont fixés sur le wafer. Contrairement au CSP de Mitsubishi, la résistance et l'inductance sont faibles. Quelques boîtiers ont été soumis à 600 cycles puis 1000 cycles en température (de -65 à 150°C), aucun problème n'a été détecté. Ceci est très intéressant, mais il convient de préciser que le nombre de boîtiers testés est assez faible.

Les caractéristiques comparées des connexions puce-boîtier sont données dans le tableau suivant.

	Mitsubishi Electric	IME

métaux	cuivre / Pb95Sn5	TiNiAu ou CrCuAu ; Sn96.5Ag3.5
équipements	pulvérisateur ; machine de dépôt du polyimide ; évaporateur ; lithographie	évaporateur ou pulvérisateur (pour la couche d'accrochage)
résistance	variable en fonction de la redistribution des sorties	faible
inductance	variable en fonction de la redistribution des sorties	faible
fiabilité thermique	un problème identifié lors de cycles thermiques	bonne à priori

Tableau 2.3.2. Connexions puce/boîtier

2.3.2- report de puce

La technique de Mitsubishi se caractérise essentiellement par un transfert des bumps de cuivre collés sur le support d'acier inoxydable grâce à une résine spéciale. La puce est déposée à l'envers sur le support. La liaison entre les bumps de cuivre (« inner bumps ») et les petites soudures PbSn sur la puce est réalisée dans un four, à 350°C, en présence de gaz (H₂ + N₂). Le support est ensuite retiré.

L'IME de Singapour utilise un support métallique comportant deux languettes sur lesquelles la puce est fixée grâce à une pâte adhésive liquide. Le but est de maintenir la puce pendant le moulage. En ce qui concerne les contraintes thermiques, quelques tests effectués n'ont révélé aucun problème.

Le tableau suivant donne les caractéristiques des deux procédés.

	Mitsubishi Electric	IME
type de report	report temporaire de la puce (à l'envers) pour effectuer le transfert de bumps	report définitif (face arrière de la puce sur le support)
support	support d'acier inoxydable sur lequel des bumps de cuivre sont collés	support métallique (alliage 42) avec 2 languettes pour maintenir la puce pendant le moulage
dépôt d'adhésif entre la puce et le support	non	pâte adhésive liquide
équipement	four	machine de report et machine de dépôt de l'adhésif
résistance thermique	forte	forte
tenue contraintes	?	bonne à priori
difficultés	-	-

Tableau 2.3.3 Report de puce

2.3.3- Encapsulation de la puce

Un moulage par transfert, technique bien maîtrisée et fiable, est réalisé dans les deux cas. La puce est totalement encapsulée avec une résine plastique (au maximum, 0.2 mm autour de la puce). Ceci empêche une bonne évacuation thermique et constitue donc une limitation; les boîtiers ne peuvent être utilisés que dans le cas où la puissance dissipée est faible.

Par ailleurs, Mitsubishi, a effectué des études pour que le moulage ait un CTE assez petit, ceci afin d'avoir une bonne tenue du CSP lors d'élévations de température.

Dans le cas de l'IME, l'utilisation d'une machine spéciale de moulage par transfert, comportant des petites cavités, correspondant au layout des bumps, est envisagée pour empêcher le dépôt d'époxy sur les bumps. Par ailleurs, des tests (effectués sur quelques boîtiers) ont montré la bonne tenue de leur CSP, d'un point de vue thermique, avec des encapsulants ayant un CTE compris entre 10 et 15 ppm/°C ou ayant des propriétés d'adhésion différentes. D'autre part, aucun problème n'a été relevé lorsque le boîtier a été soumis à une atmosphère très humide.

Les principales caractéristiques sont synthétisées dans le tableau 2.3.4.

	Mitsubishi Electric	IME
type	résine non connue	époxy
équipement	moulage par transfert	moulage par transfert
tenue humidité	?	bonne à priori
tenue contraintes	assez bonne	bonne à priori
difficulté	mauvaise évacuation thermique	mauvaise évacuation thermique ; machine spéciale de moulage pour éviter le dépôt d'époxy sur les bumps

Tableau 2.3.4 Encapsulation

2.3.4- Connexions boîtier/extérieur

Dans les deux cas, les connexions extérieures sont réparties sur toute la surface.

En ce qui concerne le procédé de Mitsubishi Electric, le support d'acier inoxydable est retiré après le moulage. Si la résine déposée sur le support d'acier inoxydable a été judicieusement choisie (des études ont été réalisées par Mitsubishi), le transfert des bumps se fait correctement. Il reste sur les bumps de la résine qu'il convient de nettoyer avant de fixer les connexions extérieures. Mitsubishi réalise un fluxage. Une interrogation demeure : un nettoyage correct de la résine va t'il être systématiquement (pour avoir un bon rendement) effectué? Par ailleurs, un masque métallique (comportant des trous à l'emplacement des bumps) est ensuite déposé. Des boules de soudure eutectique (Pb₃₇Sn₆₃) sont déposées et formées par l'action de la température. Mitsubishi a soumis à des cycles de température plusieurs boîtiers montés sur un support en alumine et un support verre/epoxy, et comportant des connexions réparties sur toute la surface ou seulement réparties à la périphérie. Il a été constaté que les boîtiers dont les bumps sont répartis sur toute la surface supportent plus longtemps les cycles de température, car les contraintes sont réparties sur toute la surface.

Dans le cas de l'IME, il est nécessaire d'enlever l'époxy qui recouvre les bumps grâce à un laser (ce qui va prendre du temps) ou à un polissage. Une autre solution est possible : utiliser une machine de moulage comportant des petites cavités permettant de

protéger les bumps; mais la position des petites cavités va dépendre du layout des bumps. D'autre part, des boules de soudure eutectique sont fixées sur les bumps.

Le tableau suivant compare les deux procédés.

	Mitsubishi	IME
matériaux	Pb ₃₇ Sn ₆₃	Sn ₆₂ Pb ₃₆ Ag ₂
type de connexion extérieure	boules de soudure eutectique	boules de soudure eutectique
difficulté	un problème identifié avec un boîtier comportant des entrées/sorties en périphérie ;	coût (laser ou machine de moulage spéciale)

Tableau 2.3.5 Connexions boîtier/extérieur

2.3.5- Conclusion

Des boîtiers ayant une structure assez simple, sans interposeur, ont été développés par Mitsubishi et l'IME de Singapour. Les procédés se caractérisent par la fixation de bumps sur toute la surface de la puce, l'utilisation du moulage par transfert, la fixation de boules de soudure, comme connexions extérieures, sur les bumps de la puce.

Avec ce type de CSP, semblant assez avantageux du point de vue du coût, le refait n'est pas possible et une faible puissance dissipée est recommandée pour le circuit intégré. D'autre part, des précautions sont nécessaires pour éviter des problèmes à cause de l'humidité (effet popcorn).

2.4- Procédés à «lead frame» :

Une autre catégorie de CSP repose sur l'utilisation de lead frame, de wire bonding et de moulage ; la fixation de bumps sur la puce n'est pas nécessaire. Hitachi Cable, Fujitsu Limited et LG Semicon ont mis au point des procédés basés sur les technologies existantes. Ceci influe favorablement sur le coût.

LG Semicon a développé deux types de CSP : C-BLP (Bottom Leaded Package avec pads au centre de la puce) et S-BLP (boîtier BLP avec pads à la périphérie de la puce) ; le nom donné par JEDEC pour ce type de boîtiers est USON (Ultra-thin Small Outline No-lead package). LG Semicon a annoncé que la production de BLP-mémoires va commencer dès le début de 1998.

Contrairement aux autres boîtiers, le Microstud BGA d'Hitachi Cable comporte des leads verticaux, appelés studs, obtenus par gravure photochimique d'une plaque métallique. Le principal désavantage de ce boîtier est la taille car une couronne périphérique est ajoutée pour les entrées/sorties. Avec ce type de boîtier, il est possible de rajouter des éléments passifs. Il convient de préciser que ce boîtier, à l'étude en 1995, n'a pas été mis en production.

D'autre part, en ce qui concerne les boîtiers de Fujitsu Limited, la puce comporte un film protecteur sur sa partie active car les leads se trouvent au dessus ; ceci assure une protection mécanique lors de l'assemblage et peut permettre d'éviter des effets électriques indésirables.

Il convient de remarquer que, dans tous les cas, les refaits ne sont pas possibles, et que les entrées/sorties du boîtier sont en périphérie, que celles de la puce doivent être en périphérie ou au centre.

Le tableau 2.4.1 donne une comparaison des étapes de fabrication.

	Hitachi Cable (LOC)	Hitachi Cable (Microstud BGA)	Fujitsu Limited (MF-LOC)	LG semicon (BLP)
étape 1	report de puce sur lead frame	dépôt de Au ou Ag sur les 2 faces d'une plaque métallique	report de puce (face arrière sur un support)	report de puce sur lead frame
étape 2	wire bonding	gravure photochimique de la plaque (pour former des studs)	positionnement du lead frame qui est ensuite soudé au support inférieur	wire bonding
étape 3	moulage	injection d'époxy dans la partie gravée	wire bonding	moulage
étape 4	découpage des leads	gravure photochimique de l'autre face de la plaque	moulage	traitement en température
étape 5	leads mis en forme de J	report de plusieurs puces (faces arrières sur la plaque)	découpage des leads à ras du moulage et finition	polissage des leads (bas du boîtier)
étape 6		wire bonding		dépôt d'une fine couche de soudure sur les leads
étape 7		moulage		découpage des leads à ras du moulage
étape 8		découpage de la plaque		
<i>Remarques</i>	<i>Technologie Lead on chip ; pour des mémoires ; en production depuis plusieurs années</i>	<i>couronne périphérique rajoutée ; leads verticaux (studs)</i>	<i>Technologie Multi-Frame Lead on chip; boîtier appelé SON (Small Outline Non-lead); film protecteur</i>	<i>Bottom Leaded Plastic Package (C-BLP et S-BLP); technologie Lead on chip ; pour des mémoires</i>

			<i>sur la face active de la puce; connexions au centre de la puce</i>	
	Hitachi Cable (LOC)	Hitachi Cable (Microstud BGA)	Fujitsu Limited (MF-LOC)	LG semicon (BLP)
<i>Avantages</i>	<i>simple ; coût ; possibilité d'empilements</i>	<i>simplicité au niveau bonding;</i>	<i>pas de leads latéraux (gain en place sur le PCB); simplicité; coût; sur l'arrière, protection contre les chocs mécaniques et l'humidité ; dissipation thermique facilitée par un support métallique; possibilité d'empilements</i>	<i>pas de leads latéraux (gain en place sur le PCB) ; simple ; coût</i>
<i>Inconvénients</i>	<i>entrées/sorties de la puce au centre ; entrées/sorties du boîtier en périphérie(faible nombre); pas de refait</i>	<i>entrées/sorties (puce et boîtier) en périphérie ; taille ; pas de refait</i>	<i>entrées/sorties de la puce au centre ; entrées/sorties du boîtier en périphérie(faible nombre); pas de refait</i>	<i>entrées/sorties de la puce au centre ou à la périphérie ; entrées/sorties du boîtier en périphérie(faible nombre); taille ; pas de refait</i>

Tableau 2.4.1 Etapes de fabrication

Il convient de noter que Fujitsu Limited a développé aussi un boîtier tape-LOC ressemblant au MF-LOC, les seules différences étant que les leads sont fixés sur la puce avec un film adhésif et que l'arrière de la puce n'est pas protégé par un support; il est possible de fixer un radiateur sur la face arrière.

Les figures suivantes montrent les boîtiers d'Hitachi Cable, de Fujitsu Limited et de LG Semicon.





Figure 2.4.1 LOC CSP d'Hitachi Cable

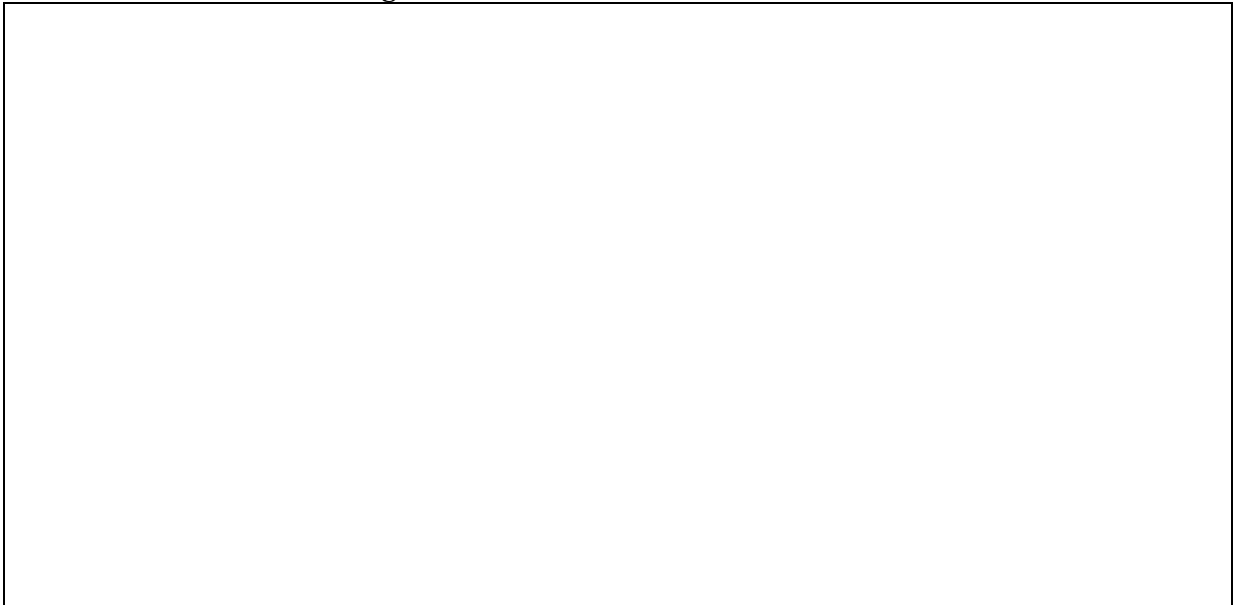


Figure 2.4.2 μstud BGA d'Hitachi Cable

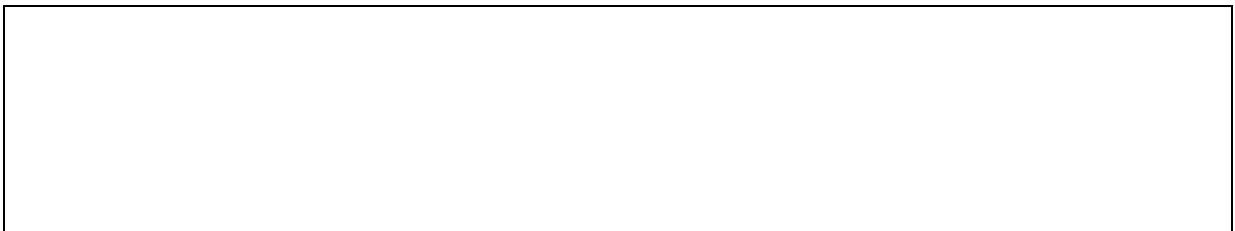


Figure 2.4.3 MF-LOC de Fujitsu Limited

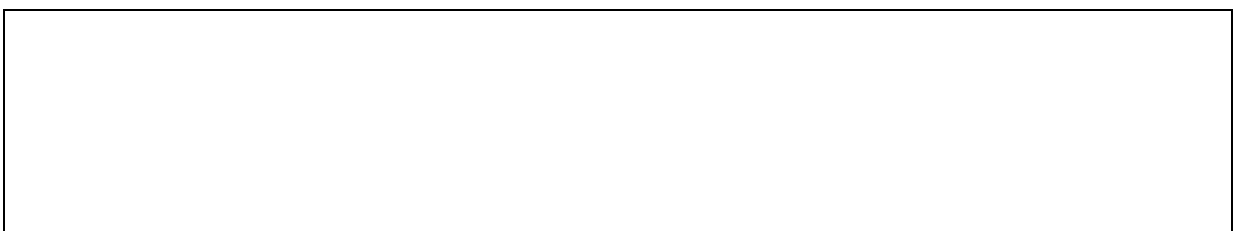
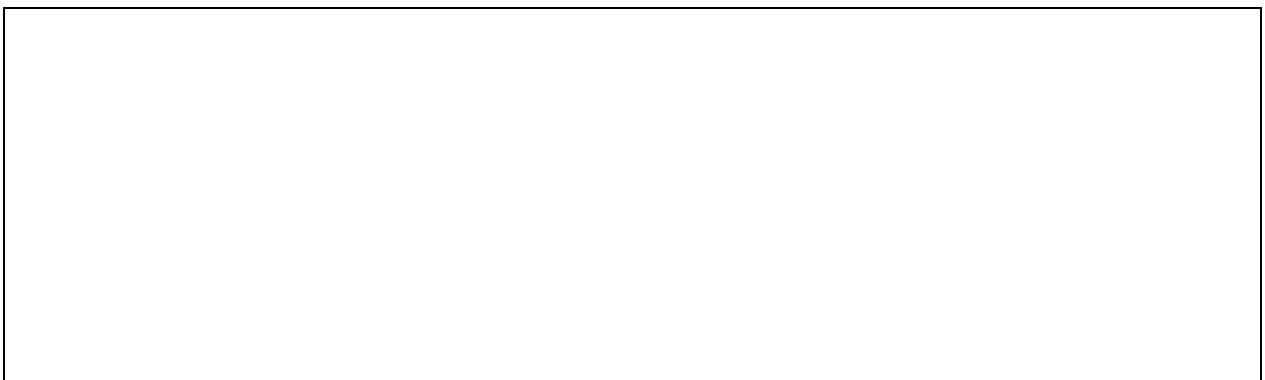


Figure 2.4.4 Tape-LOC de Fujitsu Limited



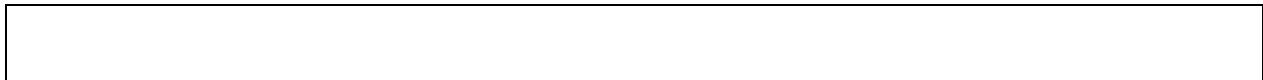


Figure 2.4.5-a C-BLP de LG Semicon

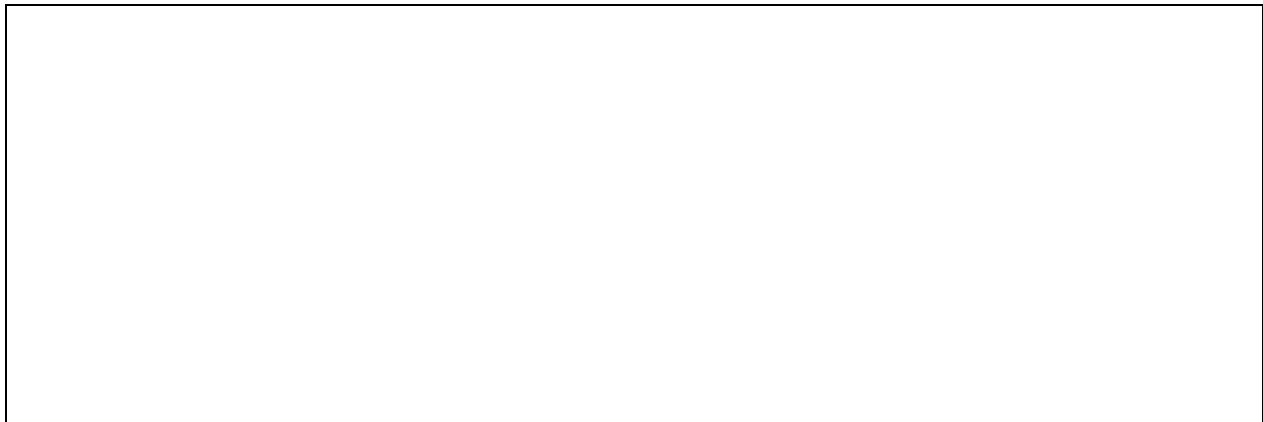


Figure 2.4.5-b S-BLP de LG Semicon

2.4.1- connexions puce/boîtier

Tous les fabricants utilisent une technique peu coûteuse, très connue: le wire bonding. La résistance est faible. Mais un problème d'inductance est possible à cause du wire bonding ; selon des tests, cela n'est pas le cas pour les CSPs de Fujitsu et de LG Semicon (il n'y a pas de leads à l'extérieur du boîtier). Par ailleurs, le wire bonding ne pose pas de problème sur le plan de la fiabilité thermique. Selon des tests effectués la fiabilité des connexions puce/boîtier semble bonne.

	Hitachi Cable (LOC)	Hitachi Cable (microstud BGA)	Fujitsu Limited (MF-LOC)	LG Semicon (BLP)
métaux	or (pour le wire bonding). alliage 42 (pour le lead frame)	or (pour le wire bonding); alliage 42 (Ni ₄₂ Fe ₅₈) ou Cu, avec plaquage d'or ou d'argent (pour les micro studs)	or (pour le wire bonding)	or (pour le wire bonding) ; alliage 42 ou Cu (pour les leads qui comportent des entailles)
équipement	wire bonding	wire bonding	wire bonding	wire bonding
résistance	faible	faible	faible	faible
inductance	une inductance engendrée par le wire bonding	une inductance engendrée par le wire bonding	faible (<2 nH)	faible (2 nH)
fiabilité thermique	bonne	bonne à priori	bonne	bonne
avantage	simplicité		simplicité	simplicité
inconvenient	pas de refait	pas de refait	pas de refait	pas de refait

Tableau 2.4.2. Connexions puce/boîtier

2.4.2- fixation de la puce

Dans le cas du LOC CSP d'Hitachi Cable, les leads sont fixés, grâce à une substance adhésive, sur la face active de la puce; aucun support n'est utilisé. Dans le cas du microstud BGA d'Hitachi Cable, la puce est fixée sur un support, grâce à une pâte adhésive à base d'époxy et d'argent.

Le MF-LOC de Fujitsu Limited comporte un support recouvert d'un film adhésif et sur lequel la puce est fixée ; les leads sont au dessus de la partie active de la puce, sans être fixés (et la distance entre les leads et la puce est faible). Le Tape-LOC de Fujitsu Limited ne comporte pas de support à l'arrière de la puce et les leads sont fixés à la face active de la puce, par l'intermédiaire d'une couche de polyimide.

Dans le cas du LG Semicon, il n'y a pas de support et les leads sont fixés sur l'arrière de la puce grâce à un dépôt d'adhésif. Initialement, le film adhésif thermoplastique utilisé était fiable mais très coûteux, il représentait 45.8% du coût total du boîtier. Des études ont permis de trouver une pâte adhésive (époxy modifié) beaucoup moins coûteuse (entraînant une diminution de l'ordre de 42% du coût du boîtier, selon des informations fournies par LG Semicon), fiable, absorbant moins l'humidité, nécessitant un traitement en température sur un temps plus court.

Les principales caractéristiques de chaque technologie sont données dans le tableau suivant.

	Hitachi Cable (LOC)	Hitachi Cable (microstud BGA)	Fujitsu Limited (MF-LOC)	LG Semicon (BLP)
type de fixation	pas de support ; leads fixés sur la face active de la puce	support	support ; leads non fixés à la puce	pas de support ; leads fixés sur la face arrière de la puce
dépôt adhésif	polyetheramide thermoplastique (+film polyimide)	époxy + argent	polyimide	sur les leads, pâte adhésive à base d'époxy modifié
équipement	machine de report, presse, four	machine de report, presse, four	machine de report, presse, four	machine de report, presse, four
résistance thermique	forte	assez faible	assez forte	forte
tenue contraintes	assez bonne	assez bonne	assez bonne	assez bonne
difficulté		ne laisse pas une grande latitude pour le positionnement		

Tableau 2.4.3. Fixation puce/leads

2.4.3- Encapsulation

Le LOC d'Hitachi Cable et le BLP de LG Semicon comportent une fine couche de résine tout autour de la puce, ce qui engendre un problème d'évacuation thermique. Des problèmes de tenue face à l'humidité et aux contraintes n'ont pas été relevés lors de tests.

En ce qui concerne le MF-LOC de Fujitsu Limited, la résine maintient les leads ; il n'y a pas de résine sur la face arrière, mais simplement une plaque métallique . Par contre, le Tape-LOC de Fujitsu Limited ne comporte aucune protection contre les chocs mécaniques sur la face arrière de la puce.

Le tableau 2.4.4 compare les quatre procédés.

	Hitachi Cable (LOC)	Hitachi Cable (microstud BGA)	Fujitsu Limited (MF-LOC)	LG Semicon (BLP)
type	époxy (avec CTE minimisé, <14ppm/°C)	époxy (avec CTE minimisé, <14ppm/°C); plaque métallique sur la face arrière	type de résine non connu (avec CTE minimisé); plaque métallique sur la face arrière	époxy
équipements	moulage par transfert, four	moulage par transfert, four	moulage, four	moulage, four
tenue humidité	assez bonne	?	assez bonne	assez bonne
tenue contraintes	assez bonne	assez bonne	assez bonne	assez bonne
difficultés	problème d'évacuation thermique			problème d'évacuation thermique

Tableau 2.4.4 Encapsulation

2.4.4- Connexions boîtier/extérieur

Le LOC d'Hitachi Cable possède des leads en forme de J. Par contre, les connexions extérieures des boîtiers de Fujitsu Limited et LG Semicon se présentent comme des land pads; les leads sont situés totalement à l'intérieur du boîtier.

Des études ont été réalisées par LG Semicon afin d'avoir une bonne fiabilité des connexions extérieures. Par rapport au boîtier initial, il s'avère nécessaire d'accroître la hauteur de soudure fixée sur les leads, d'utiliser des leads de cuivre (au lieu d'alliage 42) pour augmenter le CTE, d'avoir un encapsulant avec un CTE plus fort, d'utiliser des leads comportant des micro trous à leur extrémité ; de plus l'utilisation d'underfill est envisagée.

Par ailleurs, le boîtier μ stud BGA d'Hitachi Cable possèdent des connexions extérieures verticales, studs (que l'on obtient par gravure du support métallique), qui peuvent être montées sur un support de deux façons: mise en contact des studs avec de la pâte à souder imprimée sur le support et refusion; boules de soudure fixées sur les studs, mise en contact avec le support, et refusion.

Dans les quatre cas, les connexions extérieures du boîtier se trouvent en périphérie. Le nombre d'entrées/sorties est faible, sauf dans le cas du μ stud BGA.

Les principales caractéristiques des quatre procédés sont comparées dans le tableau 2.4.5.

	Hitachi Cable	Hitachi Cable	Fujitsu Limited	LG Semicon
--	----------------------	----------------------	------------------------	-------------------

	(LOC)	(microstud BGA)	(MF-LOC)	(BLP)
matériaux	alliage 42	alliage 42 ou Cuivre (ou alliage de Cuivre); plaquage Or ou Argent	?	alliage 42 ou Cuivre pour les leads ; Pb62Sn36Ag2
	Hitachi Cable (LOC)	Hitachi Cable (microstud BGA)	Fujitsu Limited (MF-LOC)	LG Semicon (BLP)
type de connexion extérieure	J-leads	studs avec ou sans boules de soudure	leads sans prolongement extérieur (type land pads)	leads sans prolongement extérieur (type land pads) et couche de soudure
équipement	machines d'ajustage et de mise en forme des leads	sérigraphie ou machine de placement	machine de découpage	machine de découpage
difficulté		présence possible de résidus métalliques entre les studs (assez proches) et donc risque de court-circuit		tenue des connexions extérieures

Tableau 2.4.5. Connexions boîtier/extérieur

2.4.5- Conclusion

Quatre procédés basés seulement sur l'utilisation de lead frame, de wire bonding et de moulage ont été présentés. Les procédés sont simples, sauf dans le cas du micro stud BGA. Le CSP-LOC d'Hitachi Cable comporte des leads qui sortent du boîtier. Par contre, les CSP de Fujitsu et LG Semicon ne comportent pas des leads latéraux, la longueur des connexions est donc plus faible, ce qui tend à diminuer la valeur de l'inductance ; de plus, on a un gain en place sur le PCB. Pour les CSPs ne comportant pas des leads externes, le CTE du boîtier doit être proche du CTE du support. Les boîtiers semblent fiables, mais la puissance dissipée par la puce ne doit pas être trop importante. D'autres limitations sont à signaler : pas de refait possible ; faible nombre d'entrées/sorties pour le boîtier (sauf pour le microstud BGA) ; connexions puce/boîtier seulement au centre ou à la périphérie de la puce.

2.5- Assemblage au niveau tranche

Contrairement aux technologies précédentes, les boîtiers, de taille très peu supérieure à celle de la puce, sont totalement constitués, non pas au niveau de la puce, mais directement au niveau du wafer; ceci nécessite quelques masques supplémentaires. Il s'agit d'une extension du procédé de fabrication de la puce sans nécessité d'une infrastructure

spéciale. On réalise un assemblage collectif, ce qui représente un gain en temps. De plus, les procédés utilisent des techniques existantes, ce qui a une influence favorable sur le coût. Mais la question du rendement se pose : la proportion de puces défectueuses est un paramètre qu'il convient de prendre en considération pour l'évaluation du coût.

Par ailleurs, l'une des limitations des technologies de ShellCase, ChipScale (micro SMT) et 3D Plus est la présence des entrées/sorties en périphérie (pour la puce et le boîtier). De plus, il convient de remarquer que, pour ShellCase et le Micro SMT de ChipScale, une plus grande largeur entre les circuits intégrés sur le wafer est nécessaire; ceci entraîne une perte de surface et l'utilisation d'un nouveau masque. Par ailleurs, dans tous les cas, le refait n'est pas possible.

Le procédé de ShellCase se caractérise essentiellement par une extension des plots métalliques sur le wafer entre les circuits intégrés, par une double encapsulation (qui assure une protection contre les chocs mécaniques) avec un support de verre ou d'AlN (le deuxième cas étant privilégié dans le cas d'une forte puissance dissipée), une gravure de tranchées permettant de découvrir la surface transversale des plots de connexion, et par la métallisation de ces tranchées.

Dans le cas du Micro SMT de ChipScale, des «ponts» métalliques (dont la forme a été spécialement étudiée afin de réduire le problème du stress dû à l'expansion thermique) sont constitués entre les circuits intégrés. Des petites colonnes («posts») en silicium sont ensuite gravées dans le wafer et entrent en contact avec les «ponts» métalliques. Il convient de noter que cette étape se déroule en deux temps: gravure chimique au milieu pour rencontrer le «pont» métallique, les côtés étant protégés grâce à un revêtement métallique; puis gravure sur les côtés, sous les circuits intégrés. Cette étape semble assez complexe à réaliser, car deux masques sont nécessaires et la seconde gravure doit être bien contrôlée. Par ailleurs, la face active du CSP est protégée par une faible couche d'encapsulant et un capot (de silicium ou céramique, SiC) permettant d'évacuer la chaleur.

ChipScale a développé un deuxième CSP : le MGA (Micro Grid Array). Dans ce cas, le wafer a une épaisseur moins importante (la gravure n'est pas nécessaire). Les connexions extérieures sont constituées de bumps d'époxy situés au voisinage des pads de puce ; les pads et les bumps sont recouverts d'une couche d'or ; de la soudure est déposée au sommet des bumps. C'est un procédé plus simple que le précédent. De plus, les bumps peuvent être déposés n'importe où sur la puce.

3D PLUS a développé, pour des simulateurs cardiaques, un CSP appelé « Plip Chip » (ce qui signifie Plastic Flip Chip). En utilisant des machines automatiques de ball bonding, des fils d'or sont câblés sur le wafer. Le câblage est effectué verticalement grâce à l'utilisation d'une cale en silicium collée sur le wafer. Le fil d'or, soudé sur le circuit intégré, est d'abord relié à la cale, puis il est sectionné, recouvert de métal ; puis un dépôt de soudure PbSn est effectué. L'utilisation de résine est réduite au minimum, pour assurer la fiabilité thermique du boîtier. La protection contre les chocs mécaniques et contre l'humidité est assurée par la cale de silicium, ainsi que par des couches minérales et un peu de résine époxy.

Par ailleurs, Sandia National Laboratories a développé un CSP appelé mini Ball Grid Array. Quatre masques sont nécessaires. Des couches métalliques et diélectriques (polyimide) sont déposées et gravées sur le wafer ; enfin, des boules de soudure PbSn ou des bumps recouverts d'or sont fixés sur une couche de cuivre. Ce CSP ne comporte pas d'encapsulant. La face arrière de la puce n'est pas protégée contre les chocs mécaniques.

Les étapes de fabrication comparées pour les cinq procédés sont données au tableau 2.5.1.

	ShellCase (SlimCase)	ChipScale (Micro SMT)	ChipScale (MGA)	3D Plus (Plip chip)	Sandia (mini BGA)
étape 1	extension de plots métalliques sur le wafer entre les CI	dans l'espace entre 2 CI, pulvérisation de métal, puis dépôt d'or avec un masque	dépôt de bumps d'époxy sur la partie active du wafer	collage de cales en silicium (dorée sur une face)	dépôt d'un film de polyimide sur les pads d'Aluminium de la puce
	ShellCase (SlimCase)	ChipScale (Micro SMT)	ChipScale (MGA)	3D Plus (Plip chip)	Sandia (mini BGA)
étape 2	dépôt d'un film adhésif	gravure pour obtenir des ponts métalliques	dépôt d'une couche isolante	sciage sur «peau de tambour»	photo lithographie et gravure de vias pour l'accès aux pads
étape 3	collage du wafer sur un support en verre (ou AlN)	photolithographie et gravure de sillons sous les extensions de pads	lithographie et gravure de la couche isolante au niveau des pads	wire bonding (or) entre puce et cale	pulvérisation de Ti/W et Cu (barrière métallique, couche d'accrochage)
étape 4	réduction de l'épaisseur du wafer (à 100µm) par polissage	encapsulation	dépôt d'une couche d'or	dépôt sous vide de 3 fines couches de SiOxNy	dépôt, devant un masque, de métaux d'interconnexion (Cu et Ni)
étape 5	photo lithographie et gravure entre les CI (pour les isoler)	capot de silicium	dépôt d'une couche isolante	dépôt d'époxy autour des cales, au dessus des rangées de fils	gravure de la couche servant de barrière et de couche d'accrochage
étape 6	repolissage à 50µm d'épaisseur	réduction de l'épaisseur des 2 côtés	lithographie et gravure de la couche isolante au sommet des bumps d'époxy	rectification de la surface par polissage	dépôt d'un film de polyimide
étape 7	sur l'autre face, dépôt d'adhésif	dépôt de métal sur l'arrière du wafer (rôle de masque)	dépôt de soudure au sommet des bumps	création d'un chanfrein par sciage automatique	gravure de vias jusqu'au métal d'interconnexion
étape 8	fixation d'un support en verre	gravure pour la formation des colonnes (2 sous-étapes)	sciage	dépôt métallique (NiCr/Ni/Au) sur le wafer	pulvérisation de Ti et Cu (barrière métallique et couche d'accrochage)
étape 9	gravure de tranchées pour découvrir la surface transversale des plots de connexions	pulvérisation de métal pour recouvrir les plots		gravure des plots (laser ou lithographie)	dépôt, selon un masque, de cuivre puis de PbSn
étape 10	dépôt d'une couche métallique sur la partie gravée	sciage		dépôt collectif de PbSn	gravure de la couche servant de barrière et de couche d'accrochage

étape 11	photo lithographie et gravure pour former des liaisons électriques			sciage définitif (époxy entre chaque puce)	refusion de la soudure
étape 12	sciage				sciage
	ShellCase (SlimCase)	ChipScale (Micro SMT)	ChipScale (MGA)	3D Plus (Plip chip)	Sandia (mini BGA)
<i>Remarques</i>	<i>pas de wire ou TAB bonding ; utilisation de techniques existantes</i>	<i>procédé Micro SMT ; utilisation de techniques existantes</i>	<i>MGA=Micro Grid Array ; bumps d'époxy de largeur variable ; utilisation de techniques existantes ; protection possible de l'arrière de la puce</i>	<i>Plip Chip= plastic flip chip ; fil d'or vertical</i>	<i>mini BGA ; utilisation de techniques existantes</i>
<i>Avantages</i>	<i>protection contre les chocs mécaniques ; assez simple</i>	<i>protection mécanique</i>	<i>pas de gravure dans le wafer (moins épais que le Micro SMT) ; taille ; simple ; coût ; bumps pouvant se trouver n'importe où sur la puce</i>	<i>herméticité sans recourir à la double encapsulation ; protection contre les chocs mécaniques, protection contre l'humidité</i>	<i>taille ; pas d'encapsulant ; coût</i>
<i>Inconvénients</i>	<i>Entrées/sorties en périphérie (puce et boîtier) ; l'espace entre les CI doit être plus grand que pour les wafers conventionnels ; en cas de mauvaise tenue des leads externes en température, rupture possible du contact avec les extensions métalliques sur le wafer ; pas de refait</i>	<i>Entrées/sorties en périphérie (puce et boîtier) ; l'espace entre les CI doit être plus grand que pour les wafers conventionnels ; pas de refait</i>	<i>pas de refait</i>	<i>Entrées/sorties en périphérie (puce et boîtier) ; lenteur du laser ; procédé lithographique assez complexe (2 faces) ; pas de refait</i>	<i>face arrière de la puce non protégée contre les chocs mécaniques ; pas de refait</i>

Tableau 2.5.1. Etapes de fabrication

Les figures suivantes montrent les cinq boîtiers.



Figure 2.5.1. Boîtier SlimCase de ShellCase



Figure 2.5.2. Boîtier Micro SMT de ChipScale



Figure 2.5.3. MGA de ChipScale



Figure 2.5.4 CSP de 3D PLUS



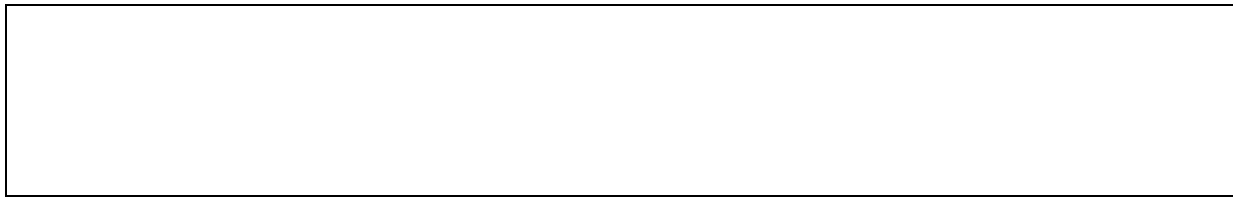


Figure 2.5.5. CSP de Sandia National Laboratories

2.5.1 Connexions puce/boîtier

La technologie utilisée par 3D PLUS est très connue : c'est le ball bonding. La fiabilité thermique est bonne. La résistance est faible. Mais la présence de fil d'or accroît la valeur de l'inductance.

D'autre part, la redistribution des sorties de puce peut avoir pour le boîtier de Sandia un effet défavorable sur la résistance et l'inductance.

Par ailleurs, les CSPs de ChipScale et de ShellCase présentent des résistances et des inductances faibles.

Le tableau 2.5.2 compare les quatre procédés.

	ShellCase (SlimCase)	ChipScale (Micro SMT)	Chip Scale (MGA)	3D Plus (Plip Chip)	Sandia (mini BGA)
type de connexions et métaux	pads métalliques (d'Al) étendus sur le wafer	ponts métalliques recouverts d'or	voir les connexions extérieures	ball bonding or	plusieurs couches métalliques sur les pads d'Al (Ti/W, Ni, Cu)
équipement	pulvérisateur ; lithographie	Pulvérisateur; électrolyse ; photo lithographie	voir les connexions extérieures	ball bonding	pulvérisateur; électrolyse ; photo lithographie
Résistance	faible	faible	faible	faible	résistance variable en fonction de la redistribution des pads de puce
Inductance	très faible	faible	faible	une inductance engendrée par le wire bonding	inductance variable en fonction de la redistribution des pads de puce
Fiabilité thermique	?	bonne	bonne	bonne	bonne
difficulté	perte de surface	perte de surface	-	-	-

Tableau 2.5.2. Connexions puce/boîtier

2.5.2- Fixation du wafer

Dans le cas de 3D PLUS, le wafer est fixé, grâce à une fine couche de colle, à une cale de silicium. Le procédé de ChipScale, pour le Micro SMT, implique le dépôt sur la face active d'une fine (76µm) couche d'époxy puis d'un capot de silicium. Pour le MGA de chipScale, un capot de plastique peut être fixé sur l'arrière de la puce. Sandia dépose simplement sur le wafer une couche de polyimide. ShellCase fixe le wafer grâce à un film d'époxy à un support de verre ou d'AIN.

Les principales caractéristiques sont données dans le tableau suivant.

	ShellCase (SlimCase)	ChipScale (Micro SMT)	ChipScale (MGA)	3D Plus (Plip Chip)	Sandia (mini BGA)
type de	support Verre ou	capot de silicium	aucun support ;	cale de silicium	aucun support

fixation	AlN	(ou céramique, diamant, SiC) au dessus de l'encapsulant et de la face active de la puce	un capot de plastique (en option) sur l'arrière des puces		
	ShellCase (SlimCase)	ChipScale (Micro SMT)	ChipScale (MGA)	3D Plus (Plip Chip)	Sandia (mini BGA)
film adhésif	époxy	non	non	colle	non
équipement	machine de report, four	machine de dépôt de l'encapsulant		machine de report	
Résistance thermique	forte avec le verre ; assez faible avec AlN	assez forte	assez forte	moyenne	assez forte
difficulté	-	-	-	-	-

Tableau 2.5.3. Fixation du wafer

2.5.3- Encapsulation

Seul le CSP de ShellCase présente une double encapsulation. Ceci engendre un problème d'évacuation thermique, surtout avec le verre. Des tests effectués n'ont révélé aucun problème en rapport avec l'humidité.

Dans le cas du boîtier de Sandia National Laboratories, deux fines couches de polyimide sont déposées.

ChipScale, dans le cas du Micro SMT, et 3D PLUS utilisent de l'époxy (ou du polyimide) ainsi que du silicium.

Dans le cas du MGA de ChipScale, des couches d'isolant sont déposées sur la face active. Sur la face arrière, il est possible de déposer un capot de plastique.

D'autre part, le CSP de 3D PLUS possède des fines couches de SiO_xN_y qui jouent le rôle d'isolant et assure une protection contre l'humidité. L'utilisation d'époxy à la périphérie de la puce est réduite au minimum, afin d'éviter les problèmes de stress.

Les solutions retenues sont données dans le tableau suivant.

	ShellCase (SlimCase)	ChipScale (Micro SMT)	ChipScale (MGA)	3D Plus (Plip Chip)	Sandia (mini BGA)
type	support de verre ou d'AlN	époxy ou polyimide ; capot de silicium	couches d'isolant ; capot de plastique (option)	SiO _x N _y ; epoxy	polyimide
équipements	équipement de report du support	machine de dépôt de l'encapsulant ; machine de report		Bâti de Chemical Vapor Deposition ; machine de dépôt de l'époxy	machine de dépôt du polyimide
tenue humidité	bonne	?	?	assez bonne	?
tenue contraintes		bonne	bonne	bonne	bonne
difficulté	problème d'évacuation thermique	problème de remplissage correct, surtout en dessous des « ponts » métalliques			

Tableau 2.5.4 Encapsulation

2.5.4- Connexions boîtier/extérieur

Dans le cas de Sandia, les connexions extérieures sont constituées par des bumps ou des boules de soudure BGA. Des tests effectués par Sandia ont révélé une mauvaise adhésion des bumps (Cu + PbSn) sur la couche supérieure de polyimide. L'adhésion est améliorée lorsque la surface de la couche supérieure de polyimide est rendue plus rugueuse grâce à un procédé de gravure (par plasma). De plus, l'utilisation d'underfill permet d'améliorer fortement la fiabilité.

Pour 3D PLUS, le fil d'or sectionné est recouvert d'une couche de métallisation. Des plots sont ensuite constitués à l'aide d'une gravure par laser (ce qui est assez lent) ou d'un procédé lithographique (qui semble assez complexe dans ce cas). Enfin, un dépôt de soudure est effectué et soumis à une refusion.

Dans le cas du Micro SMT de ChipScale, des petites colonnes sont gravées dans le wafer (opération assez délicate). La structure des « ponts » métalliques et des petites colonnes a été spécialement étudiée pour absorber le stress dû à l'expansion thermique résultant d'un désaccord de CTE entre le silicium et le PCB.

Dans le cas du boîtier MGA de ChipScale, la gravure du wafer n'est pas nécessaire, des bumps d'époxy sont déposés ; ils sont ensuite recouverts d'or et de soudure. Les bumps peuvent se trouver sur toute la surface de la puce.

ShellCase enrobe l'encapsulant de métal puis effectue une gravure. Le conducteur métallique est recouvert d'or ou de soudure. Le boîtier monté sur un PCB a été soumis à des cycles de température ; un problème ayant été détecté, il s'est avéré nécessaire, pour améliorer sensiblement la fiabilité thermique, d'ajouter de l'underfill entre les connexions extérieures et le PCB.

Le montage sur PCB des CSPs s'effectue avec une technique de montage en surface. Les connexions extérieures du SlimCase, du Micro SMT et du Plip Chip sont situées exclusivement en périphérie, contrairement au MGA et au CSP de Sandia.

Le tableau 2.5.5 compare les procédés utilisés

	ShellCase (SlimCase)	ChipScale (Micro SMT)	ChipScale (MGA)	3D Plus (Plip Chip)	Sandia (mini BGA)
matériaux	or ou soudure sur les leads		or + soudure	NiCr/Ni/Au et PbSn	Pb40Sn60 ou Pb95Sn5 (éventuellement bumps avec or)
connexions extérieures	conducteurs (SMT pads) connectés aux extensions métalliques des pads de la puce	colonnes de silicium (SMT pads) recouvertes de métal (reliées aux ponts métalliques)	bumps d'époxy recouverts de métal	bonding sectionné, métallisation, bossage PbSn	bumps ou boules de soudure BGA
équipement	lithographie ; bain de gravure ; pulvérisateur	lithographie ; gravure ; pulvérisateur	machine de dépôt de l'époxy ; pulvérisateur ? ; lithographie	Dépôt sous vide, gravure par laser ou lithographie	four
difficultés	fiabilité thermique des connexions extérieures montées sur PCB car un problème identifié	procédé assez complexe (deux étapes de métallisation et de gravure)		procédé de lithographie complexe ; lenteur du laser	problème d'adhésion des bumps ; tenue en température

Tableau 2.5.5 Connexions boîtier/extérieur

2.5.5- Conclusion

Ces techniques d'assemblage collectif, sur tranche, utilisant des techniques existantes, semblent prometteuses, sur le plan du coût, à condition que la proportion de puces défectueuses ne soit pas trop importante, sur le plan de la fiabilité thermique et sur le plan de la taille de boîtier qui est très proche de celle de la puce. Mais avec ce genre de procédé le refait n'est pas possible. De plus, dans le cas de ShellCase, de ChipScale (Micro SMT) et de 3D PLUS, les entrées/sorties (de la puce et du boîtier) sont situées en périphérie. Par ailleurs, le boîtier de Sandia National Laboratories est très proche de la puce nue, il est fragile, ce qui peut poser des problèmes pour effectuer des tests.

2.6 Procédé TCP (« Tape Carrier Package »)

Le boîtier de Rohm, fabriqué à partir d'un procédé TCP est simplement constitué de leads et d'un encapsulant. Au préalable, des bumps doivent être déposés sur les circuits intégrés. Des soudures de type TAB sont ensuite réalisées sur plusieurs puces simultanément, par report sur un ruban spécial comportant des leads de cuivre. Après refusion, grâce à une ouverture dans le ruban, les conducteurs fixés sur la puce sont partiellement recouverts d'une résine avant la séparation avec le ruban; la résine protège la face active de la puce et maintient les leads. Par ailleurs, il convient de préciser que les entrées/sorties sur la puce sont situées en périphérie. Le nombre d'entrées/sorties du boîtier est faible. De plus, il n'y a pas de protection contre les chocs mécaniques sur la face arrière de la puce. Et le refait n'est pas possible.

Les étapes de fabrication sont données dans le tableau 2.6.1.

	Rohm
étape 1	bumps sur les puces
étape 2	soudures TAB sur plusieurs puces
étape 3	encapsulation
étape 4	test
étape 5	séparation
étape 6	formation des gull wing leads
<i>Remarques</i>	<i>refusion de masse ; tape-leads maintenus grâce à l'encapsulant</i>
<i>Avantages</i>	<i>simple ; coût</i>
<i>Inconvénients</i>	<i>pas de protection mécanique pour la face arrière de la puce ; entrées/sorties de la puce en périphérie ; entrées/sorties du boîtier en faible nombre ;</i>

	<i>pas de refait</i>
--	----------------------

Tableau 2.6.1 Etapes de fabrication

Le boîtier de Rohm est donné à la figure 2.6.1.



Figure 2.6.1. CSP de Rohm

2.6.1- Connexions puce/boîtier

Des bumps sur la puce, soudés à des conducteurs, constituent les connexions puce/boîtier. Le CSP de Rohm comporte une résistance faible et une inductance faible, à condition que la longueur des leads ne soit pas trop importante. Des tests de fiabilité ont été effectués et n'ont pas révélé de problème.

Le tableau 2.6.2 résume les principales caractéristiques

	Rohm
métal et type de connexion	bump soudé à un lead en cuivre
équipement	équipement TAB, four
résistance	faible
inductance	faible
fiabilité thermique	assez bonne
difficulté	-

Tableau 2.6.2 Connexions puce/boîtier

2.6.2- Report de puce

Plusieurs puces sont reportées simultanément sur le ruban, afin que les leads soient fixés sur les bumps, après refusion. Ce CSP a une résistance thermique assez forte.

Les principales caractéristiques sont résumées dans le tableau suivant.

	Rohm
type de fixation	soudure leads/bumps de puce
équipement	machine de report, four
Résistance thermique	assez forte
difficulté	-

Tableau 2.6.3

2.6.3- Encapsulation

Les leads sont partiellement encapsulés. La résine permet de maintenir les leads. Des tests effectués n'ont révélé aucun problème, notamment en rapport avec l'humidité.

Le tableau suivant donne les caractéristiques de l'encapsulation pour le boîtier de Rohm.

	Rohm
type	non connu
équipements	machine de dépôt de la résine, four
tenue humidité	bonne (selon des tests)
tenue contraintes	bonne (selon des tests)
difficulté	-

Tableau 2.6.4 Encapsulation

2.6.4- Connexions boîtier/extérieur

Le CSP de Rohm possède des leads en forme «d'aile de mouette» (gull wing leads). Les connexions extérieures se trouvent en périphérie et leur nombre est faible. Des tests ont été réalisés sur des boîtiers de différente taille (2mm x 2 mm ; 4 mm x 4 mm) et montés sur PCB. Un problème a été détecté pour les boîtiers de plus grande taille.

	Rohm
matériau	cuivre
type de connexion extérieure	gull wing lead
difficulté	un problème identifié après montage sur PCB

Tableau 2.6.5 Connexions boîtier/extérieur

2.6.5 Conclusion

Le procédé d'assemblage de Rohm, basé sur la technique TCP, est simple, peu coûteux. Mais il convient de signaler quelques limitations: les entrées/sorties (puce et boîtier) sont en périphérie et en faible nombre, la puissance dissipée par la puce ne doit pas être trop importante, la face arrière de la puce n'est pas protégée contre les chocs mécaniques.

3- COMPARAISON DES DIFFERENTS PROCEDES DE REALISATION

Nous allons comparer les six catégories de CSP sur les points suivants: la position des entrées/sorties, le nombre d'entrées/sorties, les caractéristiques électriques, la fiabilité thermique, la puissance dissipée possible, la taille.

En ce qui concerne les procédés à interposeur rigide, à moulage, certains procédés à interposeur flexible (GE, Nitto Denko) ou à assemblage sur tranche (Sandia, MGA de ChipScale), les entrées/sorties des puces peuvent être sur toute la surface. Dans les autres cas, elles doivent être à la périphérie ou au centre.

Les entrées/sorties des boîtiers sont situées sur toute (ou une grande partie de) la surface avec les procédés à interposeur (flexible ou rigide), à moulage et aussi avec certains procédés à assemblage sur tranche (Sandia et MGA de ChipScale). Dans les autres cas (TCP, procédés à lead frame, certains procédés à assemblage sur tranche), elles sont situées en périphérie.

Les boîtiers conçus avec les procédés à lead frame et TCP comportent un nombre faible d'entrées/sorties. Pour les autres CSPs, le nombre est variable.

Les caractéristiques électriques sont globalement bonnes. La résistance et l'inductance sont généralement faibles. Il faut tout de même signaler que la redistribution des pads de puce, l'utilisation de wire bonding ou de leads sur les côtés du boîtier peuvent accroître la valeur de l'inductance.

Pour assurer la fiabilité thermique, certains CSPs comportent un interposeur (flexible ou rigide) qui joue le rôle de «tampon» entre la puce et le PCB qui n'ont pas le même CTE. Le CTE du boîtier peut également être rapproché de celui du PCB en modifiant les matériaux utilisés pour l'encapsulation et le lead frame. De plus, les dimensions des connexions extérieures ont aussi un rôle non négligeable et des études sont effectuées par tous les fabricants.

Le boîtier de Tessera, monté sur PCB, est le plus fiable sur le plan thermique, grâce à l'utilisation d'un interposeur flexible et d'un élastomère absorbant les contraintes; contrairement à d'autres procédés, l'utilisation d'underfill n'est pas nécessaire.

L'underfill, qui est utilisé notamment dans le cas des procédés à interposeur rigide, entre la puce et l'interposeur, et aussi parfois pour assurer la fiabilité des connexions extérieures, joue un rôle favorable sur le plan thermique quand le remplissage est effectué correctement, mais ne permet pas le refait. De plus, le remplissage et le traitement en température de l'underfill demandent du temps, et cela accroît le coût.

Par ailleurs, les CSPs conçus par des procédés à moulage, à TCP, à lead frame ne peuvent être utilisés que lorsque la puissance dissipée est faible. Pour les autres CSPs, la puissance dissipée possible est variable.

Afin de permettre l'évacuation thermique, certains boîtiers de diverses catégories (sauf les procédés à moulage) ne comportent pas, sur l'arrière de la puce d'encapsulant, donc de protection contre les chocs mécaniques. Un radiateur est parfois nécessaire, mais son utilisation accroît le coût et la hauteur du boîtier, et il faut veiller à ce que cela n'affecte pas, à cause de sa masse, la fiabilité des connexions extérieures.

En ce qui concerne le rapport surface de la puce/surface du boîtier, on obtient le meilleur résultat, c'est à dire 1 (ou presque), avec les CSPs conçus par des procédés à assemblage sur tranche, à interposeur flexible.

Le tableau 3.1 compare les six catégories de CSP.

Le tableau 3.2 indique les catégories de CSP que l'on peut utiliser pour des processeurs, des ASICs, des mémoires. Le classement tient compte de quatre critères: le nombre d'entrées/sorties, la puissance dissipée, la nécessité ou non de protéger la puce contre les chocs mécaniques, le niveau de simplicité du procédé (qui influe sur le coût). Les CSPs comportant un interposeur (flexible ou rigide) peuvent être utilisés pour des processeurs ou des ASICs. Pour les mémoires, on peut utiliser les CSPs conçus par des procédés à interposeur flexible, à moulage, à lead frame ou TCP. La catégorie de CSP à assemblage sur tranche est par contre difficile à classer actuellement.

	Interposeur flexible	Interposeur rigide	Moulage	TCP	Lead frame	Assemblage sur tranche
Entrées/Sorties puce	périphérie (sauf GE et Nitto Denko)	possible sur toute la surface	surface	périphérie	centre ou périphérie	périphérie (sauf pour Sandia et le MGA de ChipScale)
Entrées/Sorties boîtier	BGA, surface	BGA ou LGA, surface	BGA, surface	leads (gull wing), périphérie	J leads ou SMT pads, périphérie	périphérie (sauf pour Sandia et le MGA de ChipScale)
Nombre d'entrées/sorties du boîtier	variable	variable	variable	faible	faible	variable
Bumps sur la puce	non	oui	oui	oui	non	Non sauf Sandia et MGA de ChipScale
Redistribution des pads de puce	non	non sauf Sony	oui pour Mitsubishi	non	non	non sauf Sandia et MGA de ChipScale
Résistance	faible	faible	faible pour IME	faible	faible quand pas de leads latéraux	faible (Sandia : ?)
Inductance	faible	faible	faible pour IME	?	faible	faible (Sandia et 3D Plus : ?)
Résistance thermique	plutôt forte ; assez faible pour Tessera	assez forte	forte	moyenne	plutôt forte	assez forte
Underfill	non (sauf pour les connexions extérieures de Nec et de Texas	oui	non	connexions extérieures : ?	non à priori (connexions extérieures du CSP de LG Semicon: ?)	non à priori (sauf pour les connexions extérieures des

	Instruments)						CSPs de ShellCase et Sandia)
	interposeur flexible	interposeur rigide	Moulage	TCP	Lead frame	assemblage sur tranche	
Fiabilité thermique	bonne, surtout pour Tessera	assez bonne	moyenne	moyenne	moyenne	assez bonne	
Puissance dissipée possible	variable	variable	faible	faible	faible	variable	
Evacuation thermique par l'arrière	possible	possible	non	oui	possible pour Fujitsu	possible	
Protection mécanique	possible	oui pour IBM et Toshiba	oui	non	oui (sauf le tape-LOC de Fujitsu)	oui (sauf Sandia)	
Simplicité du procédé	moyenne à complexe	moyenne	moyenne à assez simple (IME)	simple	simple	moyenne	
Rapport surface de puce/surface de boîtier	<1 ou ≈1	<1	<1	<1	<1	<1 ou ≈1	

Tableau 3.1. Comparaison des six catégories

	Processeurs	ASICs	Mémoires
Entrées/Sorties	~ 100-200	~ 200-1000	~ 20-40
Puissance dissipée	~ 2-10 W	~ 2-10 W	~ 0.5 W
protection mécanique	utile	utile	peu utile
simplicité du procédé	non contraignant	non contraignant	faible coût
type de CSP	<i>interposeur flexible ; interposeur rigide</i>	<i>interposeur flexible ; interposeur rigide</i>	<i>moulage ; lead frame ; TCP ; interposeur flexible</i>

Tableau 3.2. Utilisation des CSPs

4. CONCLUSION

Le Chip Size (Scale) Package présente des avantages non négligeables : la très petite taille, la faible masse, la performance électrique, la testabilité, l'aisance de manipulation, le montage en surface classique.

La société d'études BPA a évalué la consommation de CSPs à 80 millions d'unités en 1997, à 522 millions en 1999 et 2.8 milliards en 2005. De plus, l'écart existant entre la consommation de CSPs et celle de puces nues montées retournées (flip chip) devrait peu à peu se réduire: en 1996, 44 fois plus de puces nues (flip chip); en 1997, 7 fois plus de puces nues (flip chip) ; en 1999, 2.7 fois plus de puces nues (flip chip). Mais leur nombre restera encore pendant quelques années très petit devant celui d'autres boîtiers ; les CSPs ne devraient représenter qu'environ 4% des boîtiers CMS en 2005.

Le Japon est actuellement le plus grand consommateur de CSPs (plus de 70%).

A cause des avantages évoqués plus haut, beaucoup de CSPs sont utilisés pour des produits portables «grand public» : des caméscopes, des téléphones portables, des cartes PC, des PDAs (Personal Digital Assistants), des ordinateurs bloc-notes,...

Le prix d'un CSP est actuellement de l'ordre de 2 centièmes de dollar par broche alors que celui du SOP (Small Outline Package) est d'environ 0.8 centième de dollar par broche. Vers l'an 2000, le prix du CSP devrait rejoindre celui du SOP. Ainsi, le CSP, utilisé actuellement pour des objets portables assez coûteux, va être peu à peu introduit dans de plus en plus de produits. De plus, le CSP va devenir de plus en plus intéressant pour le marché des mémoires, car il va répondre à un besoin qui est d'avoir, pour un faible coût, de plus en plus de mémoires dans un petit espace.

Par ailleurs, il y a le problème de la standardisation (normalisation des dimensions des boîtiers, de la position des entrées/sorties). De nombreux utilisateurs, souhaitant pouvoir recourir à plusieurs sources d'approvisionnement ayant la même configuration de boîtier, attendent la standardisation des CSPs avant de les adopter. Le CSP de Tessera, dont la fiabilité est prouvée, est devenu une référence. Tessera a signé des accords d'utilisation de sa technologie (avec Amkor Electronics, Mitsui High-tec, Read-Rite Corp., Hitachi, Texas Instruments, Shinko Electric Industries, Intel Corp., Hyundai Electronics Ltd.). D'autres CSPs sont en voie de standardisation : par exemple, le micro SMT de ChipScale. Des CSPs utilisés pour les mémoires devraient être standardisés dans un avenir très proche.

Ainsi, l'avenir des CSPs, avec leurs avantages multiples, nous semble très prometteur.