

ÉTUDE DES CARACTERISTIQUES TECHNIQUES ET ECONOMIQUES
DES FILIERES D'INTERCONNEXIONS
DES COMPOSANTS ELECTRONIQUES
DANS LES SYSTEMES

**PERFORMANCES MECANIQUES
THEORIE**

SOMMAIRE

I. INTRODUCTION.....	4
II. NOMBRE D'ENTREES/SORTIES.....	5
II.A. NOMBRE MINIMUM REQUIS.....	5
II.B. CONTRAINTES.....	5
II.C. CAS PARTICULIER D'UNE CONFIGURATION EN RESEAU.....	6
III. DENSITE D'INTERCONNEXION	8
III.A. DENSITE MINIMUM	8
III.B. CONTRAINTES.....	10
III.C. LIMITES	10
IV. DENSITE DE VIA	12
IV.A. DENSITE MINIMUM.....	12
IV.B. CONTRAINTES	13
V. DISTANCE SEPARANT DEUX PUCES ADJACENTES	14
V.A. ENSEMBLE DE PUCES SUR UN SUBSTRAT MULTICOUCHE.....	14
V.B. CONTRAINTES	15
VI. EFFICACITE DU PACKAGE.....	17
VII. CONCLUSION	18
VIII. BIBLIOGRAPHIE.....	19

TABLE DES ILLUSTRATIONS

FIGURE II-1: DISPOSITIONS DES <i>PADS</i> (I/O) SUR UN BOITIER DE CIRCUIT INTEGRE.....	5
FIGURE II-2: PROBLEME DE CONNEXION D'UNE CONFIGURATION EN RESEAU	6
FIGURE III-1: RESEAU DE QUATRE NOEUDS.	8
FIGURE III-2: CONTRAINTES SUR LA DENSITE D'INTERCONNEXIONS.....	10
FIGURE IV-1: EXEMPLE DE STRUCTURE MULTICOUCHE.	12
FIGURE IV-2: NOMBRE MINIMUM DE VIAS POUR RELIER DEUX <i>PADS</i>	12
FIGURE V-1: DISPOSITION DES VIAS ET DES PISTES CONDUCTRICES.	14
FIGURE V-2: DISTANCE MINIMALE SEPARANT DEUX PUCES ADJACENTES P.	16

I. INTRODUCTION

Les progrès constants des technologies du semi-conducteur (accroissement de la taille des tranches donc du nombre de circuits réalisés en même temps, réduction de la taille du transistor élémentaire), entretiennent la course en avant vers des complexités croissantes. Cela a pour conséquence d'augmenter le nombre de transistors contenus dans une puce et donc le nombre d'interconnexions. Ce nombre de fonctions logiques par circuit intégré augmente en effet, en fonction de la taille du transistor élémentaire qui, dans les années 1990, est passé assez nettement au-dessous du seuil du micromètre.

Le nombre de fonctions croît également avec les dimensions du circuit intégré. La taille du circuit intégré est déterminée soit par la taille physique des éléments fonctionnels, soit par l'encombrement des plots d'interconnexion. Lorsque le nombre des entrées/sorties est grand, il peut être nécessaire d'augmenter la taille de la puce uniquement pour y loger ces plots de sortie. Ceci explique l'intérêt et l'effort mis sur la réduction du pas des interconnexions des puces. La taille maximale suit également l'évolution des moyens de photosensibilisation (diamètre du champ d'insolation).

Dans le domaine du packaging, un système est considéré comme performant, lorsque celui-ci remplit les trois conditions suivantes: Densité élevée, rapidité importante et faible coût de fabrication. Du point de vue du circuit intégré, cela signifie une grande densité de portes logiques avec une horloge interne la plus rapide possible. En ce qui concerne l'environnement de cette puce, c'est à dire le packaging, ses performances mécaniques sont représentées par son efficacité η . Plus celle-ci est faible, plus la longueur totale d'interconnexion sera élevée et donc plus le substrat sera coûteux. De même, plus les lignes sont longues, plus les retards de ligne (*wiring delay*) sont pénalisants.

II. NOMBRE D'ENTREES/SORTIES

II.A. NOMBRE MINIMUM REQUIS

Etant donné que le nombre de portes logiques élémentaires, à l'intérieur d'une puce, ne cesse d'augmenter, le nombre d'entrées/sorties (I/O) suit le même comportement. Dans les années 1960, une relation empirique entre le nombre de fonctions logiques (Gates), présentes dans une puce, et le nombre minimum d'I/O requis, a été définie sous le nom de loi de RENT. Celle-ci fut ensuite généralisée pour une grande variété de types de puces. Cette relation s'écrit:

$$N_{I/O} = k \cdot N_{Gates}^p = k \cdot (D_{Gates} \cdot A)^p$$

avec:

N_{Gates} : Nombre de portes logiques élémentaires dans la puce.

$N_{I/O}$: Nombre minimum d'entrées/sorties associé à N_{Gates} .

D_{Gates} : Densité de portes logiques (Gates/cm²).

A : Aire de la puce (cm²).

k, p : Constantes dépendant de l'architecture et de l'organisation interne de la puce.

k est compris entre 2 et 4, tandis que p est entre 0,4 et 0,66.

Il est nécessaire d'utiliser cette loi de RENT avec précaution. En effet, celle-ci suit l'hypothèse que l'organisation interne de la puce reste la même, lorsque le nombre de *gates* augmente. La loi de RENT fournit donc une approximation du nombre d'entrées/sorties correspondant à un nombre donné de fonctions logiques, implantées dans un circuit intégré.

Plus ce nombre minimum d'entrées/sorties $N_{I/O}$ est faible, plus le composant est considéré comme rentable.

II.B. CONTRAINTES

Sur une puce, il existe deux configurations possibles pour disposer les broches I/O ou « *pads* » du boîtier (Cf. figure II-1).

- Une ou deux rangées de *pads* disposées sur toute la périphérie du composant.
- Un ensemble ordonné ou réseau de *pads* disposé sur toute la surface de la puce (PGA/BGA)

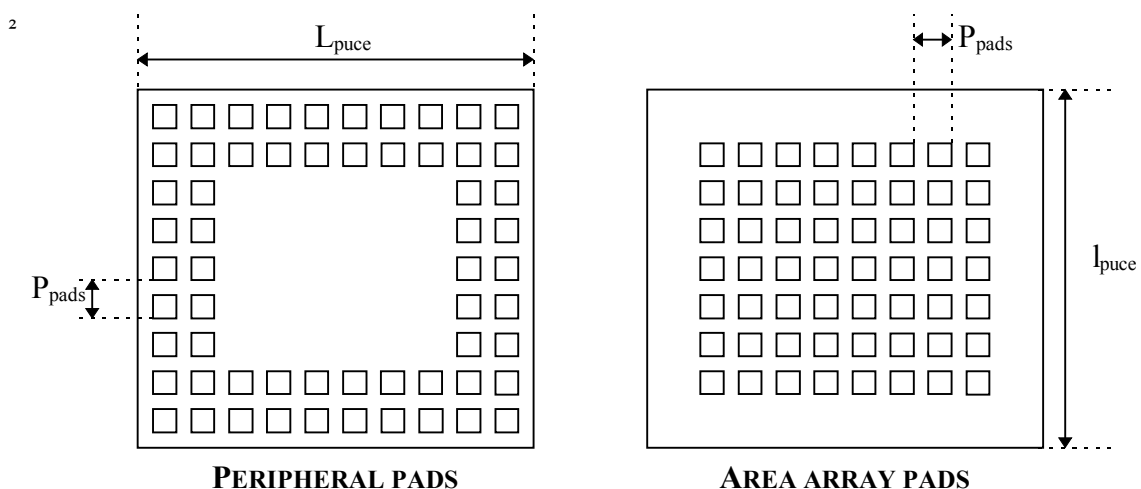


Figure II-1: Dispositions des *pads* (I/O) sur un boîtier de circuit intégré.

Le nombre maximum de *pads* N_{pads} qu'il est possible d'implanter sur le boîtier du composant est étroitement lié aux dimensions géométriques de celui-ci et de la distance séparant chaque *pads* (P_{pads}).

Dans le cas d'une disposition en périphérie de la puce (sur 1 rangée), N_{pads} s'écrit:

$$N_{\text{pads}} = \frac{2(L_{\text{puce}} + l_{\text{puce}})}{P_{\text{pads}}}$$

Dans le second cas (la surface de la puce est totalement recouverte de *pads*), ce même nombre devient:

$$N_{\text{pads}} = \frac{L_{\text{puce}} \cdot l_{\text{puce}}}{P_{\text{pads}}^2}$$

avec:

L_{puce} : Longueur de la puce.

l_{puce} : largeur du composant.

Le nombre de *pads*, figurant sur la puce, doit être supérieur ou égal au nombre minimum d'entrées/sorties $N_{I/O}$ requis par la composition interne du composant:

$$N_{\text{pads}} \geq N_{I/O}$$

Plus la densité de transistors augmente à l'intérieur de la puce, plus le pas entre chaque *pads* du boîtier P_{pads} , est obligé de diminuer afin de satisfaire les précédentes contraintes entre N_{pads} et les dimensions du composant.

II.C. CAS PARTICULIER D'UNE CONFIGURATION EN RESEAU

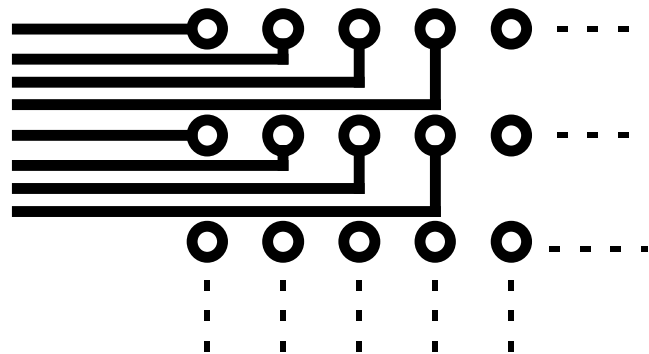


Figure II-2: Problème de connexion d'une configuration en réseau

Dans le cas où les *pads* I/O sont disposés de façon compacte, sur toute la surface du package (réseau), une condition nécessaire, supplémentaire est à prendre en compte. En effet, il est indispensable que toutes les connexions reliées aux *pads*, puissent s'échapper vers la périphérie du package (Cf. figure II-2). En effet, notre intérêt est de pouvoir connecter ces *pads* à l'extérieur du package (à d'autres composants par exemple).

Pour un nombre total de broches N_B (égal au nombre de *pads* sur la puce), concentrés sur une surface compacte, il est nécessaire, pour tenir compte de ce qui précède, de disposer d'un nombre de couches conductrices N_{couches} tel que:

$$N_{\text{pistes}} \cdot N_{\text{couches}} > \frac{N_B}{2(\sqrt{N_B} - 1)} - 2$$

avec:

N_{pistes} : Nombre de pistes passant entre deux vias adjacents (Cf. partie III).

Par exemple, pour une puce possédant 289 entrées/sorties, il est nécessaire de disposer de 7 couches conductrices avec $N_{\text{pistes}} = 1$. Dans le cas où $N_{\text{pistes}} = 2$, il faut au moins 4 couches.

Ces contraintes sur le nombre de couches conductrices peuvent être associées à celles existant sur les supports d'interconnexion (PCB, céramique...).

III. DENSITE D'INTERCONNEXION

III.A. DENSITE MINIMUM

De nombreux facteurs vont contribuer à résoudre le problème de distance minimale entre plusieurs composants. Ces derniers sont déposés sur le substrat et chaque broche des différents boîtiers doit être connectée aux circuits imprimés présents sur le substrat. En CAD, chaque broche I/O est défini comme un noeud. Tous les noeuds électriquement reliés forment un réseau (Cf. figure III-1).

Soient les paramètres suivants:

L_{tot} : Longueur totale de piste, nécessaire pour connecter tous les composants entre eux.

N_{nets} : Nombre de réseaux (Cf figure III-1).

N_B : Nombre de broches par puce, devant être connectées sur le substrat.

N_f : Nombre d'entrées (broches) connectées à une sortie (fanout).

N : Nombre de puces.

P : Distance séparant chaque puce.

$\langle L_{trace} \rangle$: Longueur moyenne d'une piste.

A_{sub} : Surface occupée par l'interconnexion de l'ensemble des puces.

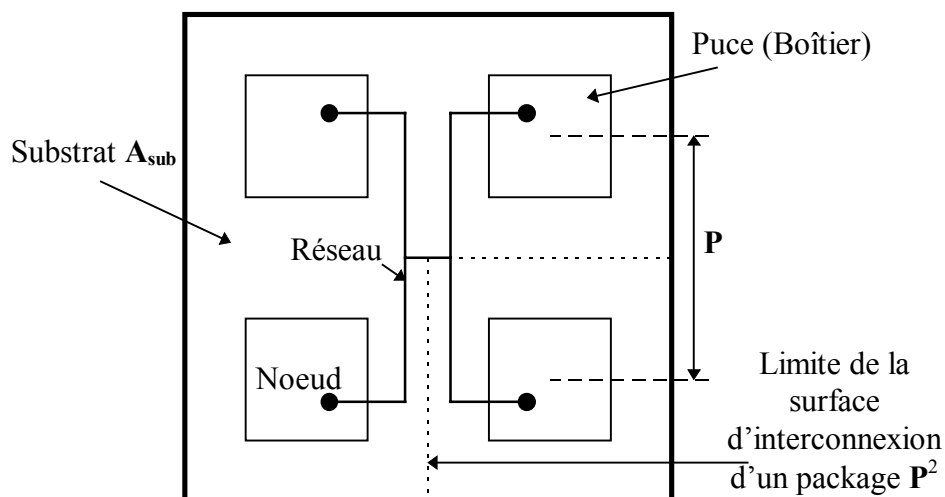


Figure III-1: Réseau de quatre noeuds.

Il existe plusieurs façons de décrire les interconnexions nécessaires à un assemblage de puces. La méthode la plus générale et la plus facile à comprendre utilise la longueur totale de piste, L_{tot} , comme référence. D'autres paramètres découlent de cette grandeur comme la densité d'interconnexion et le nombre de pistes par unité de surface.

Le nombre moyen de noeuds reliés à un même réseau est $N_f + 1$: N_f étant le nombre d'entrées reliées à une même sortie, il suffit donc de rajouter la sortie pour avoir le nombre de noeuds appartenant au réseau.

Si le système contient N puces, le nombre total de noeuds à connecter sur le substrat est alors: $N \times N_B$.

Le nombre total de réseaux N_{net} est donc égal à:

$$N_{\text{net}} = \frac{N \cdot N_B}{N_f + 1}$$

La longueur totale de pistes, nécessaire pour l'ensemble des réseaux s'exprime de la façon suivante:

$$L_{\text{tot}} = N_f \cdot N_{\text{net}} \cdot \langle L_{\text{trace}} \rangle$$

avec:

$\langle L_{\text{trace}} \rangle$: Longueur moyenne d'une piste. Une étude provenant d'IBM donne une expression de cette grandeur en fonction de la distance séparant chaque puce P :

$$\langle L_{\text{trace}} \rangle = R \cdot P$$

(Une bonne approximation de R est 1.5)

La longueur totale de piste peut donc s'écrire:

$$L_{\text{tot}} = \left(\frac{N_f}{N_f + 1} \right) \cdot N \cdot N_B \cdot R \cdot P$$

Remarque:

Dr. D. SERAPHIN (IBM) a mis cette équation sous une forme plus simplifiée, en considérant la grandeur R égale à 1,5 et le rapport faisant intervenir N_f , égal à 0.75. La longueur totale requise de piste peut alors s'écrire:

$$L_{\text{tot}} = \frac{9}{8} N \cdot N_B \cdot P$$

La densité d'interconnexion nécessaire pour réaliser l'assemblage de N puces sur un substrat, est définie comme étant la longueur de piste requise par unité de surface. Cette grandeur fait donc intervenir L_{tot} et la surface utilisée sur le substrat c'est à dire A_{sub} :

$$D_R = \left(\frac{N_f}{N_f + 1} \right) \cdot N_B \cdot \frac{R}{P}$$

$$A_{\text{sub}} = N \cdot P^2$$

Cette relation montre que la densité d'interconnexion s'améliore lorsque le nombre de broches I/O sur chaque puce, augmente ou lorsque la distance entre chaque puce diminue, ce qui est logique.

Pour le cas, où les connexions sont disposées sur la périphérie du package (1 ligne), avec un pas P_{pads} , la densité d'interconnexion minimum peut être approximée par:

$$D_R = \frac{4R}{P_{\text{pads}}} = \frac{6}{P_{\text{pads}}}$$

III.B. CONTRAINTES

Il existe à ce jour un grand nombre de substrats, utilisés en micro-électronique. La capacité d'interconnexion de tous ces matériaux, peut être décrite par l'intermédiaire des grandeurs suivantes:

N_{couches} : Le nombre de couches métalliques (plans contenant les pistes conductrices).

P_{vias} : Distance minimale séparant deux centres de *Vias*.

N_{pistes} : Nombre maximum de pistes pouvant passer entre deux *vias* distants de P_{vias} .

La figure III-2 illustre ce qui précède.

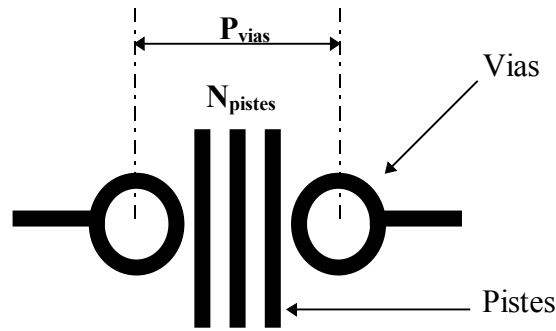


Figure III-2: Contraintes sur la densité d'interconnexions.

La densité ultime peut être définie comme étant la densité pour laquelle la longueur totale de piste par unité de surface, est la plus élevée possible. C'est à dire:

$$D_U = \frac{N_{\text{couches}} \cdot N_{\text{pistes}}}{P_{\text{vias}}}$$

En réalité, les algorithmes de routage sont limités à des interconnexions de densité n'excédant pas 50% de la densité maximale D_U .

III.C. LIMITES

Le nombre d'entrées/sorties attribuable à un package de puce, dépend de la distance séparant deux *pads* adjacents P_{pads} et du type de disposition (En périphérie de la puce ou sur toute la surface du composant).

Pour des connexions disposées sur la périphérie du package, la surface du package A_p est fonction de P_{pads} et du nombre de broches $N_B = N_{\text{pads}}$:

$$A_p^{-1} = \frac{16}{P_{\text{pads}}^2 (N_B + 4)^2}$$

Dans la condition limite, le nombre maximum de puces par unité de surface est donné simplement par l'inverse de la surface du package, c'est à dire:

$$\frac{N}{A_{\text{sub}}} = A_p^{-1}$$

avec:

N : Nombre total de puces.

A_{sub} : Aire de la surface de substrat impliquée dans l'interconnexion de ces N puces.

Lorsque les *pads* sont disposés, de façon régulière, sur la totalité de la surface de la puce, l'expression de la densité maximale de puces est:

$$A_p^{-1} = \frac{1}{P_{\text{pads}}^2 (\sqrt{N_B} + 1)^2}$$

IV. DENSITE DE VIA

IV.A. DENSITE MINIMUM

Dans une structure multicouche, des couches conductrices se trouvent empilées les unes sur les autres, en alternance avec des couches diélectriques (isolantes). La densité de pistes se trouvent donc élevée. Cependant, afin de relier électriquement toutes ces couches métalliques, il est indispensable d'utiliser des vias (Cf. figure IV.1).

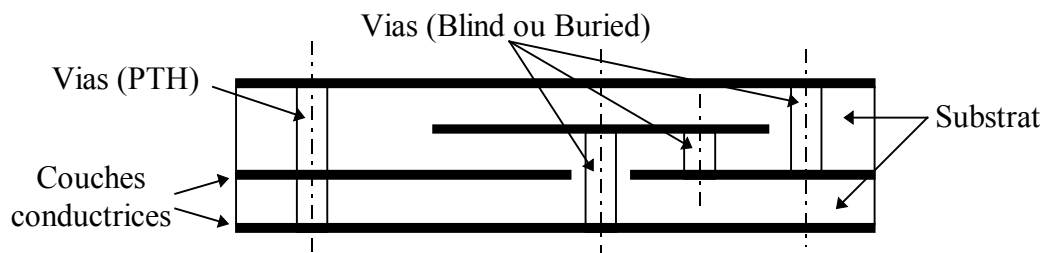


Figure IV-1: Exemple de structure multicouche.

Quand la densité minimum d'interconnexion augmente, la densité minimum de via suit la même tendance. En général, une estimation simple est utilisée afin de calculer cette densité de via: Pour relier électriquement une paire de *pads*, il est nécessaire de disposer d'un minimum de quatre vias (Cf. figure IV.2).

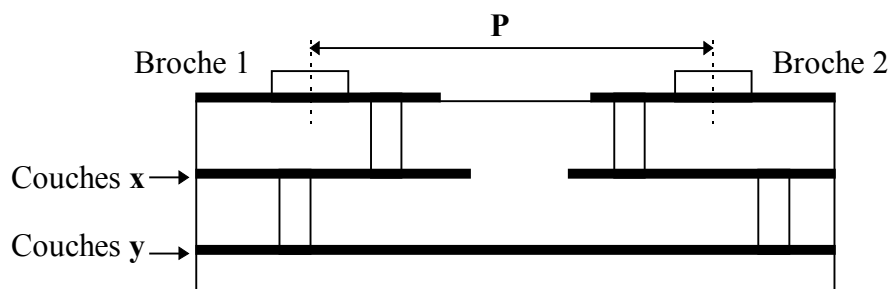


Figure IV-2: Nombre minimum de vias pour relier deux *pads*.

Sachant que l'ensemble des vias considérés se situe à l'intérieur de la surface P^2 d'un package, il est possible d'exprimer la densité minimum de via, requise pour un package, $D_{V.R}$, de la façon suivante:

$$D_{V.R} = \frac{2 \cdot N_B}{P^2}$$

N_B : Nombre de broches d'entrées/sorties d'un package.

P : Distance séparant deux packages.

Dans le cas où les broches I/O sont disposées en périphérie du boîtier (1 rangée), avec la distance P égale à la longueur d'un côté de ce package:

$$D_{V.R} = \frac{32}{N_B \cdot P_{pads}^2} \quad \text{avec} \quad P = \left(\frac{N_B}{4} \right) \cdot P_{pads}$$

Dans l'autre cas, c'est à dire dans la configuration en réseau de *pads*, la densité $D_{V.R}$ s'écrit:

$$D_{V.R} = \frac{2}{P_{pads}^2} \quad \text{avec} \quad P = \sqrt{N_B} \cdot P_{pads}$$

IV.B. CONTRAINTES

Dans les technologies relatives aux interconnexions multicouches, deux types de via sont à distinguer. Les premiers traversent la totalité des couches (PTH: plated through-holes), tandis que les seconds, désignés sous le nom de *blind vias* ou *buried vias*, ne relient électriquement qu'une petite portion des couches conductrices (Cf. figure IV-2).

Il existe deux principales contraintes pour les vias PTH: Tout d'abord, plus le nombre de couches est grand, plus les vias doivent être larges. La distance entre chaque via augmente donc de la même façon et la densité devient alors plus réduite. Enfin, chaque via traversant la totalité des couches, il ne peut exister en un point donné de la surface qu'un seul et unique via, ce qui constitue une contrainte non négligeable.

La densité maximum de vias $D_{V.C}$ s'écrit alors:

$$D_{V.C} = \frac{1}{P_{vias}^2}$$

avec:

P_{vias} : Distance minimum séparant deux vias.

Les vias autres que PTH, ne possèdent pas ces précédentes contraintes. Leur densité maximum peut donc être plus élevée que celle écrite ci-dessus. De plus ce type de technologie favorise les faibles distances entre vias et donc, par conséquent, des densités plus intéressantes.

V. DISTANCE SEPARANT DEUX PUCES ADJACENTES

La miniaturisation des composants électroniques exige des packagings de circuits intégrés de plus en plus denses, sur le substrat.

V.A. ENSEMBLE DE PUCES SUR UN SUBSTRAT MULTICOUCHE

Considérons le cas où N puces doivent être disposées, de façon uniforme, sur un substrat. La distance P séparant deux puces adjacentes (pas d'implantation des puces) dépend des caractéristiques de celles-ci et du substrat: Le nombre d'entrées/sorties présentes sur la puce, le nombre de couche du substrat, etc... Ces principaux paramètres sont représentés sur la figure V-1.

L'expression de P s'écrit de la façon suivante:

$$P = K \cdot \sqrt[4]{N} \cdot N_{\text{pads}} \cdot \frac{1}{N_S} \cdot \frac{G}{N_{\text{pistes}}}$$

avec:

N : Nombre de puces disposées sur le substrat.

N_{pads} : Nombre de connexions entrées/sorties sur chaque puce.

N_S : Nombre de couches conductrices dans le substrat.

K : Constante dépendant de la longueur moyenne d'interconnexion d'un réseau.

G : Distance séparant deux vias adjacents.

N_{pistes} : Nombre de pistes passant entre deux rangées de vias adjacentes.

Remarque:

Les trois premiers facteurs, dans l'expression de P , décrivent l'aspect électrique du problème, tandis que les deux derniers concernent les capacités de connexion du substrat (obligations et contraintes).

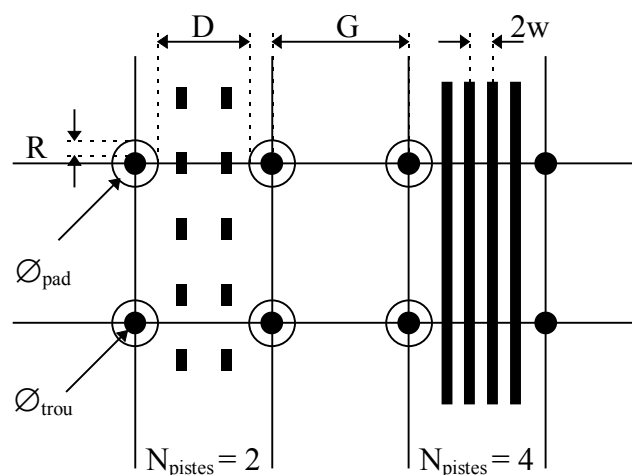


Figure V-1: Disposition des vias et des pistes conductrices.

Pour des distances interpuces **P** assez courtes, le nombre de couches conductrices N_S dans le substrat doit être élevé et le rapport G/N_{pistes} , faible. En ce référant à la figure V-1, il est possible d'exprimer ce rapport, en fonction des dimensions caractéristiques des connexions:

$$\begin{aligned} G &= D + \varnothing_{\text{trou}} + 2R \\ D &= 2N_{\text{pistes}} \cdot w + w \end{aligned}$$

Le rapport G/N_{pistes} peut donc s'écrire:

$$\frac{G}{N_{\text{pistes}}} = 2w + \frac{w + \varnothing_{\text{trou}} + 2R}{N_{\text{pistes}}}$$

avec:

$\varnothing_{\text{trou}}$: Diamètre des trous.

$\varnothing_{\text{pads}}$: Diamètre des *pads*.

w: Epaisseur des lignes conductrices = Distance entre deux pistes adjacentes.

R: Epaisseur de l'anneau conducteur, placé autour de chaque trou.

Ces paramètres vérifient:

$$\varnothing_{\text{pads}} = \varnothing_{\text{trou}} + 2R$$

Les substrats multicouches conventionnels imposent une valeur minimum pour **R**, due aux contraintes matérielles; la diminution du diamètre des trous $\varnothing_{\text{trou}}$ et de l'épaisseur des lignes conductrices **w** constitue donc une solution importante pour baisser la distance interpuce **P**.

V.B. CONTRAINTES

En plus des dimensions de la puce, d'autres facteurs géométriques sont à prendre en compte:

- La surface nécessaire au branchement des *pads* (Broches I/O) du boîtier (L_B^2).
- La surface nécessaire à l'assemblage du package sur le substrat (une bande de largeur L_A entourant la précédente surface).

Ces deux facteurs (Cf. figure V-2) influencent la distance minimale séparant deux puces adjacentes, c'est à dire **P**.

Le pas P_B , distance entre deux connexions de broches I/O sur le substrat, et le nombre de ces broches N_B permettent de définir la longueur L_B du côté du carré représentant la surface occupée par le branchement des broches.

Dans le cas où les connexions I/O sont disposées en périphérie du boîtier (1 rangée):

$$L_B = \frac{P_B \cdot N_B}{4}$$

Dans la configuration en réseau:

$$L_B = P_B \cdot \sqrt{N_B}$$

Cette surface d'occupation des broches I/O est étroitement liée à la technique utilisée lors de l'assemblage. En effet, la distance séparant deux broches adjacentes est limitée par les possibilités des machines d'assemblage ou par le coût de montage que cela peut représenter.

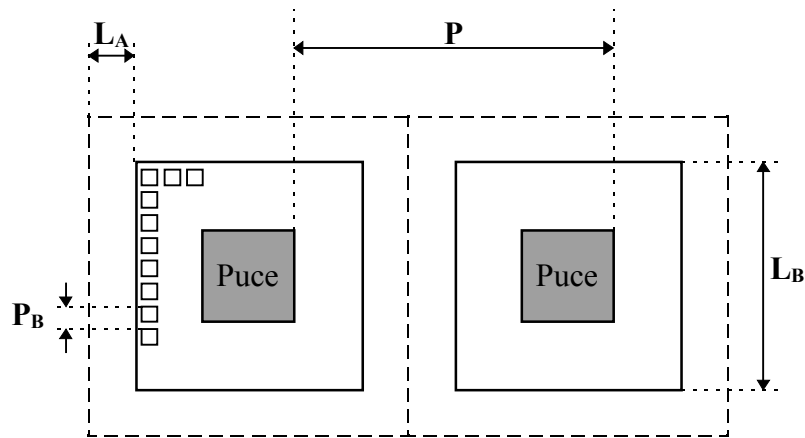


Figure V-2: Distance minimale séparant deux puces adjacentes P.

En plus de cette précédente surface de connexions, il est nécessaire d'ajouter autour de celle-ci une zone de sécurité (Bande de largeur L_A) afin de tenir compte des problèmes d'assemblage des packages sur le substrat. La distance minimum de rapprochement entre deux packages, c'est à dire P , possède donc un lien avec les grandeurs L_B et L_A (Cf. figure V-2), tel que:

$$P = L_B + 2L_A$$

VI. EFFICACITE DU PACKAGE

L'efficacité d'un package représente la proportion de surface d'interconnexion à utiliser par rapport à celle de la puce, proprement dite. Cette grandeur permet de graduer la rentabilité d'un package sur le plan dimensionnel.

Si une puce possède un nombre N_{pads} d'entrées/sorties sur sa périphérie (1 ligne), avec un pas P_{pads} . La surface utilisée A_{puce} de ce composant est alors:

$$A_{\text{puce}} = \left(\frac{N_{\text{pads}}}{4} \cdot P_{\text{pads}} \right)^2$$

De même, il est possible de définir une surface de package A_{pack} à partir du nombre de broches N_B sur le substrat et le pas de celles-ci, c'est à dire P_B , telle que:

$$A_{\text{pack}} = \left(\frac{N_B}{4} \cdot P_B \right)^2$$

L'efficacité du package, dans cette configuration (Connexions situées en périphérie de la puce et du boîtier), est défini de la façon suivante:

$$\eta = \frac{A_{\text{puce}}}{A_{\text{pack}}} = \left(\frac{P_{\text{pads}}}{P_B} \right)^2 \text{ avec } N_B = N_{\text{pads}}$$

Dans le cas, d'une configuration en réseau (les *pads* occupent la totalité de la surface de la puce), l'efficacité du package s'écrit:

$$\eta = \frac{A_{\text{puce}}}{A_{\text{pack}}} = \frac{1}{16} N_{\text{pads}} \cdot \left(\frac{P_{\text{pads}}}{P_B} \right)^2$$

A partir de ces expressions, il est clair que pour améliorer l'efficacité du package, il est nécessaire de diminuer le pas des connexions sur le substrats (P_B). Une autre solution, plus radicale est de supprimer le boîtier et de connecter directement les *pads* sur le substrat (*Chip on board*).

VII. CONCLUSION

Tandis que les performances des circuits intégrés deviennent de plus en plus élevées, la miniaturisation des systèmes microlélectroniques est devenue une des principales priorités, des concepteurs. Il est évident que ce problème concerne le packaging des puces. En effet, concevoir des circuits intégrés de petite taille devient inutile, si il est nécessaire de les assembler sur des packages de grandes dimensions (relativement à celles de la puce).

C'est pourquoi, il est indispensable de gérer au mieux, l'espace utilisé par les interconnexions, ce que nous appelons ici, les performances mécaniques. Celles-ci sont basées principalement sur des exigences ou des contraintes liées à des grandeurs telles que les densités de vias et d'interconnexion, le nombre d'entrées/sorties du circuit intégré ou encore les distances minimales pouvant séparer deux puces.

Les performances mécaniques d'un package, peuvent se définir simplement par son efficacité η , qui se définit comme le rapport entre la surface de la puce et celle du package correspondant. Plus celle-ci est faible, plus la longueur totale d'interconnexion sera élevée, et donc plus le substrat sera coûteux et les temps de propagation du signal pénalisants.

VIII. BIBLIOGRAPHIE

Advances in thermal modeling of electronic components and systems. (Volume 2).

Avram BAR-COHEN

Allan D.KRAUS

High performance packaging solutions

ICE (Integrated Circuit Engineering Corporation).